

AXEのAIとカスタムCPUコア設計、 ROS2通信ハードウェアIP提供

2023/DEC

AXE, Inc.

(株)アックス(創業31年)の基本ソフトの採用実績



国スパコン富岳 OS研究

富岳にはMcKernelが採用されている



自動運転Autoware



ロボット(産総研)

ロボット(産総研)

小さなもの/

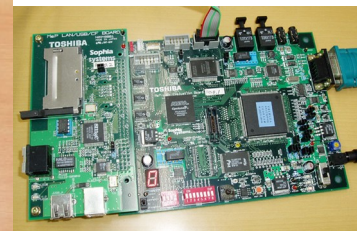
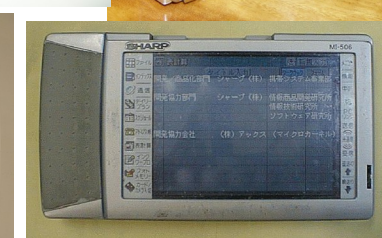
IT家電用OS



資本金+資本準備金=5億3千万円

Nextyエレからも資本が入っている

村井純先生(インターネット殿堂入り)も株主だ



・日本の独自CPUの基本ソフトウェアをサポート

富士通 FR/V, ルネサス(旧日立製作所)SH-Mobile, SH2A, 東芝MeP,
ルネサス(旧NEC)V850, セイコーエプソンC33, C17, シャープLH795xx

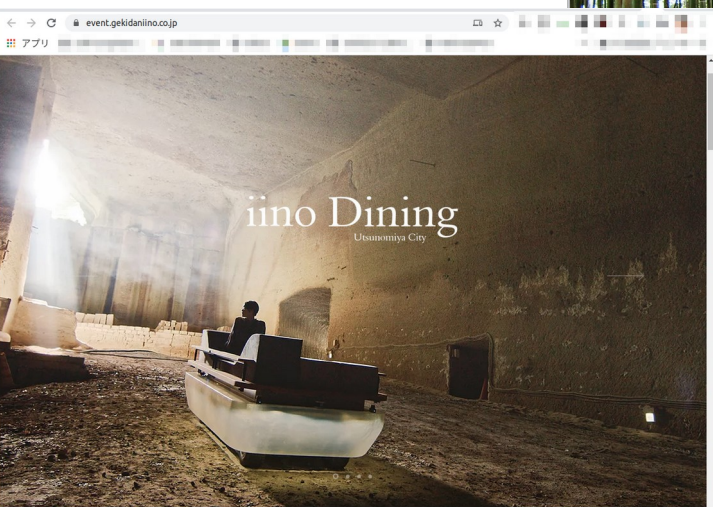
Autoware応用 iinoプロジェクト

• iino(ゲキダン イイノ)

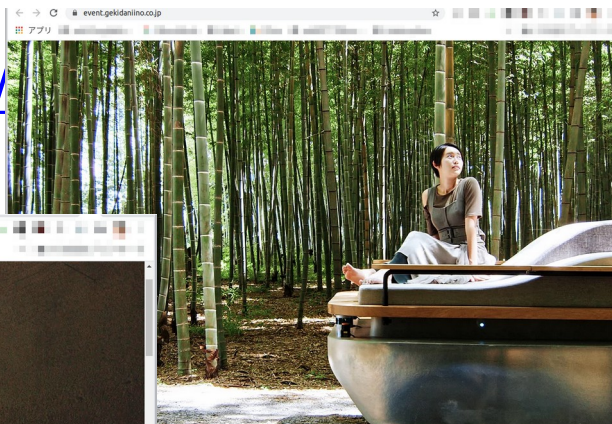
- 関西電力の新規事業プロジェクト
- 時速 5km/h でゆっくり走行

<https://gekidaniino.co.jp/>

<https://iinomob.jp/>



宇都宮 大谷資料館(採石場跡地)



宇都宮 竹林若山農場



2023年11月 御堂筋で公道走行

<https://gekidaniino.co.jp/wp-content/uploads/2023/11/%E3%83%88%E3%83%83%E3%83%97%E3%83%9F%E3%83%8B.png>より引用

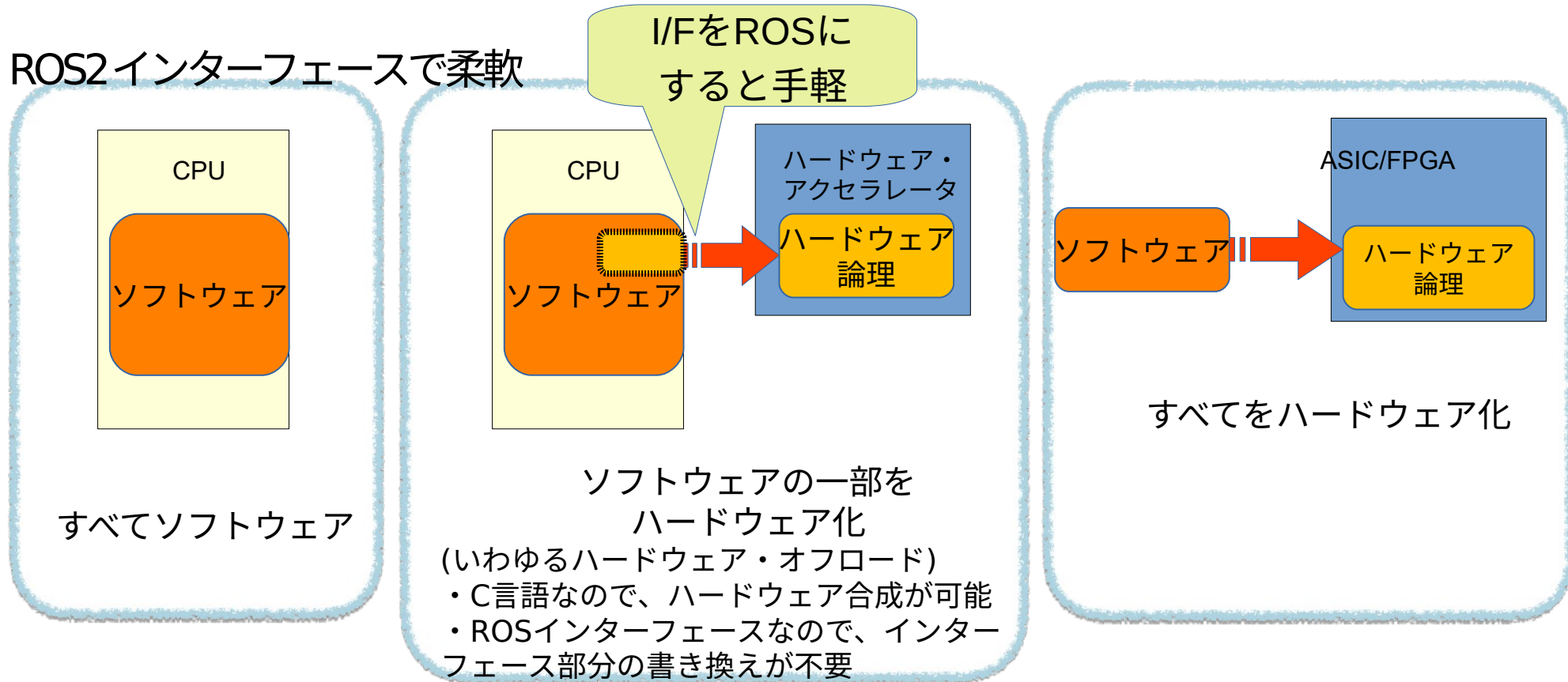


- 街なかを移動
- チョイ乗り

高位合成で
時代が変わった

高位合成によりHW⇔SWの行き来が自在

- C言語(HLS高位記述言語)で書くと、どんな形でも、どこでも実行できる
- ROS2インターフェースで柔軟



ROS2プロトコルを完全ハードウェア化

AXEでは、ROS2プロトコルを完全ハードウェア化した”ROS2rapper”

- ソフトウェア技術者がハードウェア論理を書き、LSI化。現実に!
- OSSとして、配布を準備中
 - GPLとAXEプロプライエタリ、ダブル・ライセンスを検討中
- CPU無しで、ロボットの部品モジュールができる
 - センサとROS2プロトコルHWだけで、センサ・モジュール
 - PWMとROS2プロトコルHWだけで、アクチュエータ・モジュール
 - アプリケーションはC言語で書いておけば、
すぐハードウェア論理に合成

- ロボット部品が、ゴミのようなLSIでできる ← CPU不要
- CPU脳の敗北
- ハードウェアなので、堅牢かつ高速。そしてコンパクト

*ROS2ハードウェアには、コンフィギュレーション用のPROMがあることが望ましい

Arty A7-35ボード(xc7a35ti-csg324-1Lチップ)において
FPGA使用資源

- LUT: 33666
- FF: 13087

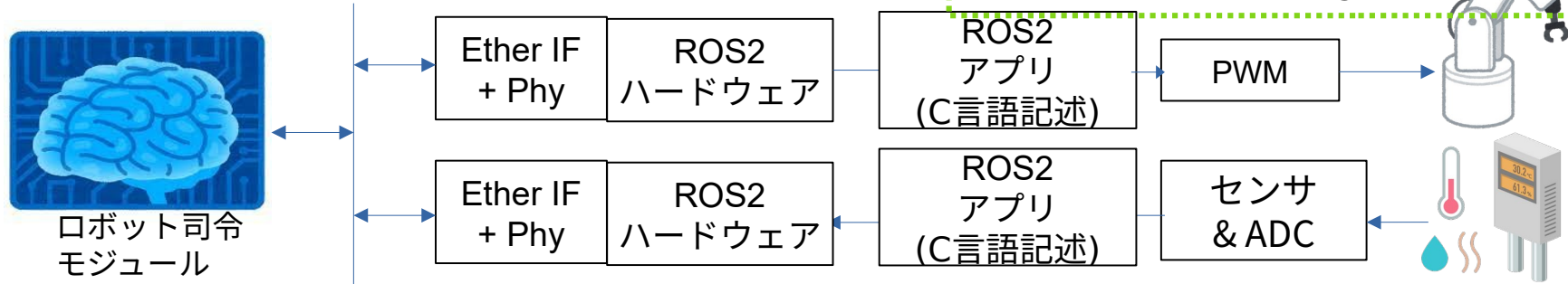
最大周波数: 121.01MHz

送信パケット生成 所要時間:

- IPデータグラム生成複数サイクル版:
 - 14サイクル=140nsec@100MHz
- IPデータグラム生成1サイクル版):
 - 8サイクル=160nsec@50MHz

受信 処理時間:

- 46サイクル=460nsec@100MHz

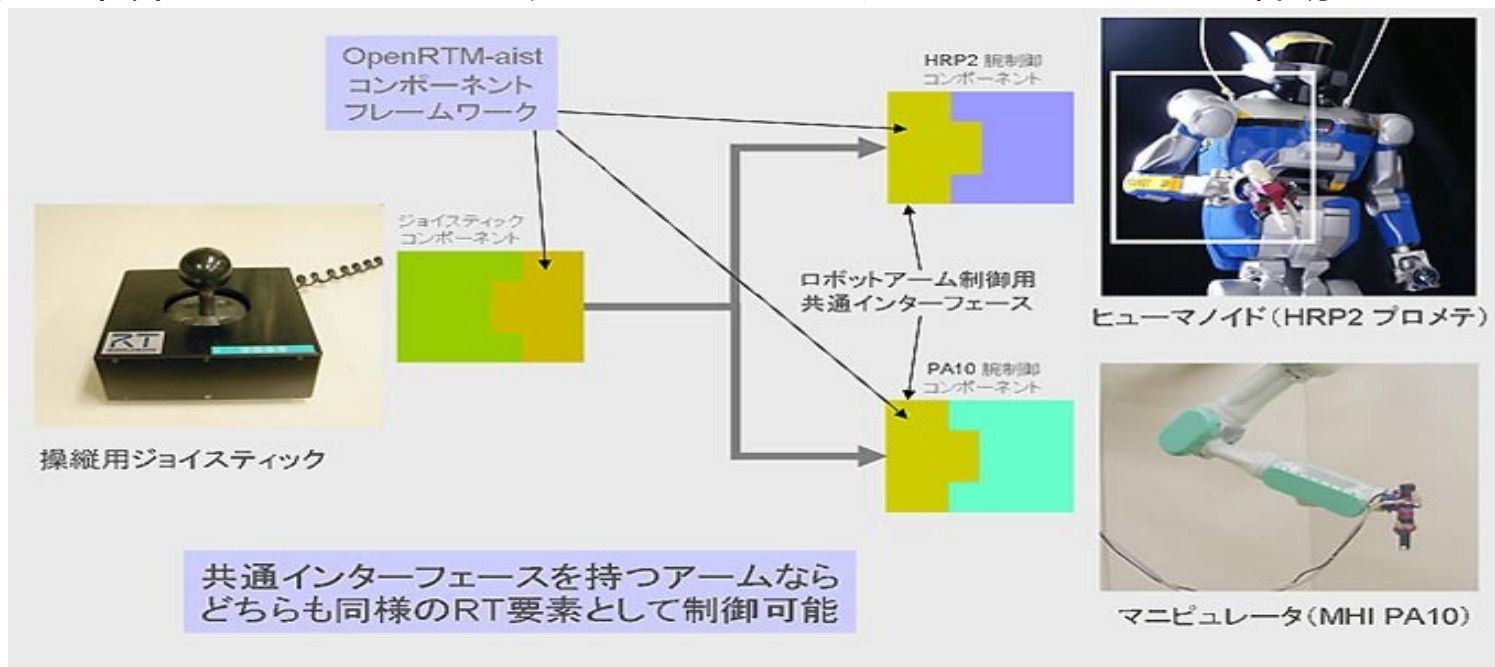


ロボット用ミドルウェア(ROS, RTミドルウェア など)

ROS ロボット・ミドルウェア = ソフトウェア・バス

ロボットのモジュールの流通性が高まる

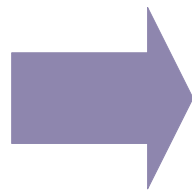
日本のロボット業界は、ROSをデファクト・スタンダードにしようと活動している



CPU脳を
たたき直す

もう、CPUは(簡単には)速くならないよ

- ついに、微細化 限界
- 微細化 による
 - 高集積
 - 高クロック周波数

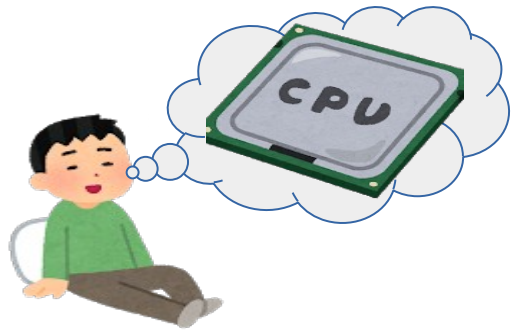


- 専用 ロジック回路による
 - 高速化
 - 省 消費電力
を行うしか

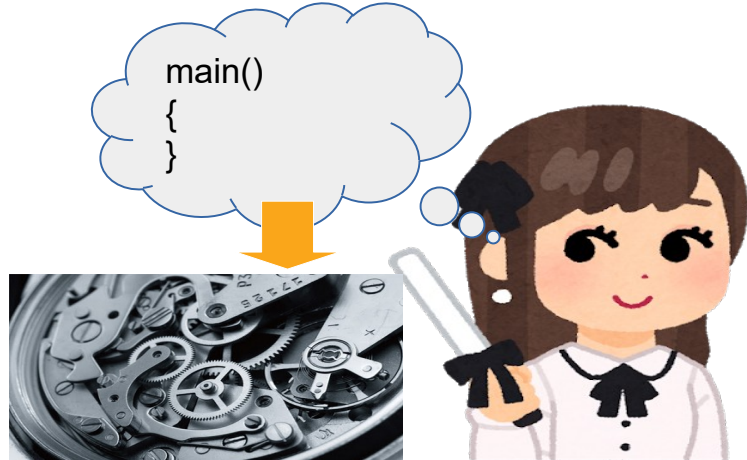
は終了

自由ASIC時代

- 「CPU脳」な人類を、パラダイムシフト
- CPU抜き アーキテクチャを、すすめる
- CPU抜き システムのアーキテクチャ決定をサポートすべし



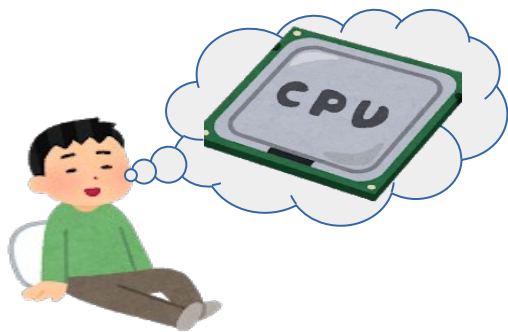
旧人類 CPU脳



ハードウェア
(状態数がたいへんに大きい精密機械)

脱CPUアーキテクチャを推進する

- 新しい細粒度 高並列アーキテクチャの時代
 - 1port RAMをやめさせる、D-FFを使わせる
- 同時並列にバラバラにデータ・アクセスできる
- 教育&コンサルテーションを提供します!



CPU脳プログラマ

与えて、
救済



ツールと教育

背景：
カスタムLSI
設計&製造の
民主化

日本の半導体 産業 復興!

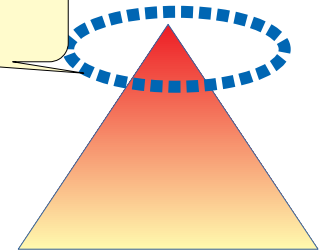
- ・ 国内8社が半導体製造会社「Rapidus」設立
- ・ 経産省キモ入り 「10年の遅れ」取り戻す
- ・ キオクシア、ソニーグループ、ソフトバンク、デンソー、トヨタ自動車、NEC、NTTがそれぞれ10億円、三菱UFJ銀行が3億円を出資した。



<https://www3.nhk.or.jp/news/html/20221111/k10013887921000.html>

- ・ 半導体 工場は、かろうじて 最新のものがある
- ・ でも、「お高いんでしょう〜?」
- ・ 技術者 不足
 - ・ 半導体 設計 技術者
 - ・ 論理回路 設計 技術者

このへんの人たちの話でしょ...



技術者 不足をStop!日本の半導体 産業 復興!


・OSSの開発ツールで、LSI 開発

- 無料ツールの使い手が増える → 技術者不足 解消!
- 半導体 設計 技術者
- 論理回路 設計 技術者

・半導体 工場は、「お高くない」ものもある

- 65nm とか、安くて かなりいい

・レガシーファブの活性化



みんなのLSI
俺のASIC

お金持ちだけの
LSI

LSI開発の民主化だっ!!!

産総研 直下のAIST Solutionsも、 ロングテール半導体開発を推進

Open-Source は、ロングテール 半導体開発の夢を見るか？

- Do Open-Source Dream of Long-Tail
Semiconductors? -

11.17(金) 15:30-16:10 | 展示会場内 Room E

AIST Solutions
半導体事業 プロデューサー 岡村 淳一



2023/12/06

ONLY for 2023 Edge-Tech Conference

AISol の半導体事業の目標

国内の半導体アセット（チップ製造能力）を
本プロジェクトのプラットフォームに再整備することで
専用半導体の設計の参入障壁を下げ、
国内産業が専用半導体にて国際競争を勝ち抜く環境を提供
する。



Open Source Silicon for Japan



2023/12/06


ONLY for 2023 Edge-Tech Conference

Googleがカスタム半導体の民主化・自由化を推進

- Googleと半導体ファウンドリの「SkyWater」が協力し、業界初となるオープンソースのPDKを公開
 - Skywaterは2017年に米Cypress Semiconductorからスピノフしたファウンドリ企業
- PDK プロセス設計キット
- ある特定の半導体プロセスで回路設計を行う際に必要な設計情報
- **トランジスタ配置の制約条件などが書かれている**
- 半導体の設計者は、半導体製造のファウンドリから「Process Design Kit(PDK)」と呼ばれる開発キットを購入
- 半導体ファウンドリが提供するPDKは高価 → **それが無料OSSに!**
- SkyWaterの130nmプロセス「SKY130」で半導体チップの製造を行うための設計を無料で行うことが可能
- GitHub - google/skywater-pdk: Open source process design kit for usage with SkyWater Technology Foundry's 130nm node.

<https://github.com/google/skywater-pdk>

eFabless 事例1

- NEDO資金も受け、日本人 河崎氏も、実際に、LSIを開発し  RISC-V®
※河崎氏は、RISC-V Foundation ボードメンバで、JASA RISC-V WGメンバでもある
- 「Google社が スポンサーとなりeFabless社の オープンソースシャトル を 使用し30日 でRISC-V半導体 を 設計試作」
 - <https://riscv.or.jp/2022/05/marmot-risc-v-asic/>

eFabless 事例2

- 今村 謙之氏も、実際に、LSIを開発した。
- 「Kernel/VMLレイヤーを自分色に染める!By ISHI会」
 - <https://www.slideshare.net/noritsuna/kernelvmbymby-ishi>
- イベント「はじめての半導体チップ設計」のアーカイブ動画を公開
- https://ishi-kai.org/event/report/2023/08/25/AugustEvent_0804_Report.html
<https://www.youtube.com/watch?v=W-HDNI4JK5A>

国内もLSI開発の民主化 推進

日本も、国の金で施設を用意

ふくおかIST(公益財団法人 福岡県産業・科学技術振興財団)

福岡システムLSI総合開発センター

「システムLSI設計試作センター」

- http://www.ist.or.jp/lsi/pg04_02.html

- ベンチャー企業が半導体の設計ツールを無料(安価)で利用できる
- LSI設計、少量試作できる
 - 50～100万円あれば、LSIの少量生産ができる仕組みがある

小規模EDA開発 日本でも流行

福岡システムLSI総合開発センター

「システムLSI設計試作センター」

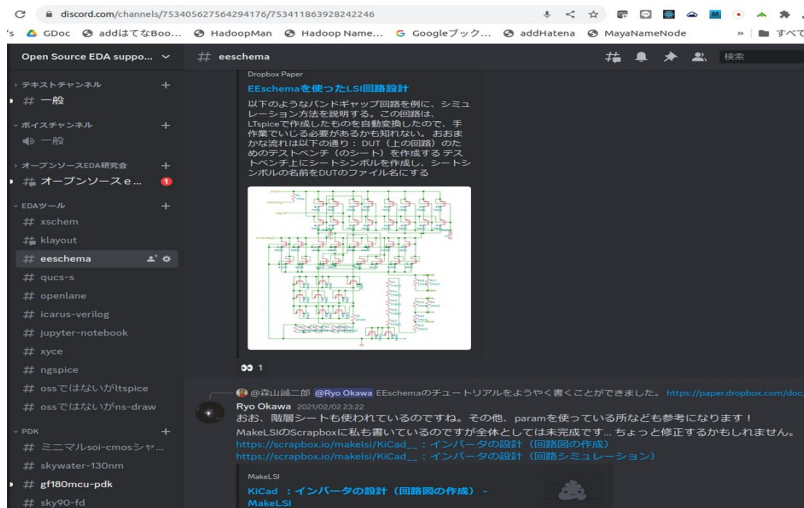
の設計ツール一覧

EDA機能		製品名
ハイレベル設計	CLレベル合成	* CyberWorkBench ※NECの商品
フロントエンド設計	論理シミュレータ	* Incisive Enterprise Simulator L
	回路図エントリ	* Schematic Editor
		* ASCA
		* ASCA Basic
	シミュレーションIF	* Virtuoso ADE
		* ASCA Sim.faceA
	総合回路設計	* C ³
	Composer IFオプション	* Composer IF
	Verilog Interfaceオプション	* Verilog Interface
	SPICE Interfaceオプション	* Analog HSPICE IF
アナログ回路シミュレータ	* Spectre circuit Sim	
	* Msim	
汎用回路波形解析	* SimVision	
レイアウト	レイアウトエディタ	* Virtuoso LE
		* ISMO
	Cadence Linkオプション	* Cadence Link (DF II Upgrade)
レイアウト検証 その他	DRC	* Calibre DRC
	LVS	* Calibre LVS
	IFオプション	* Calibre RVE
	DRC/ERC	* iDRC/ERC
	Caliber IFオプション	* Calibre IF
	寄生パラメータ抽出	* Calibre xRC

Open Source EDA Supporters (discord)

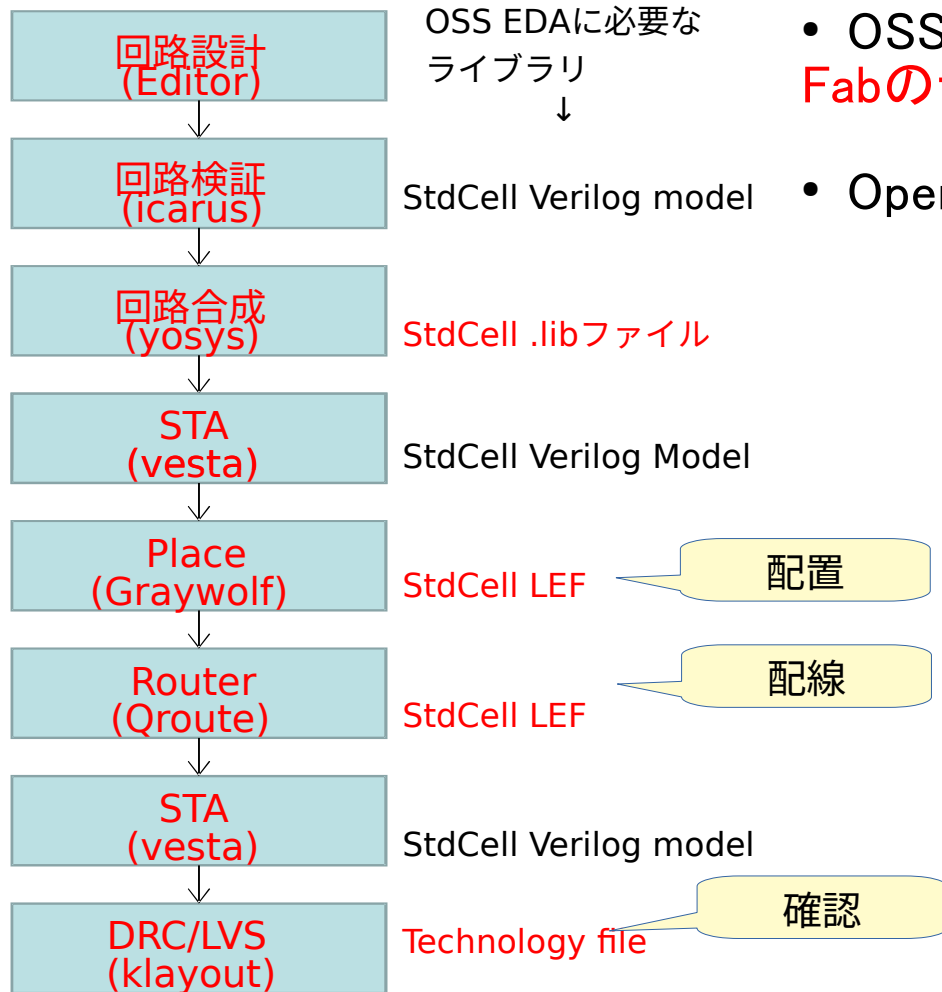
<https://discord.com/channels/753405627564294176/932209975558832128>

- OSS EDAをサポートする人たちの集まり
 - 親切で優しい
- ふくおかIST のOSS EDAサーバのユーザ会
 - サーバを維持するモチベーション
- オレオレ Open PDKを開発したり: 森山氏
- オレオレ Standard Cellライブラリを開発できるツールの開発者が居たり:西澤氏@早稲田大
- オープンソースEDAフォーラム @福岡
 - 2023/DEC/08
 - OSSコンソーシアムEDA部会が共催
 - JASA OSS活用WG協力
- OSC福岡にも出展
 - OSSコンソーシアム&協力:JASA OSS-WG体制
 - 2023/DEC/09



OSSによるLSI開発のEDAフロー

ロジック部開発フロー



• OSS EDAに必要なライブラリは
Fabのデータから変換が必要

• OpenRAM、PLL、アナログは別なフローになる

ソフトコアCPU
改造承ります

現在 開発中の オレのSoC

- ・ 省電力、省メモリ、堅牢かつ高速
- ・ ロボットの部品モジュールがローコストで簡単に作れる

オレ達のCPU「松竹V (しょうちくぶい)」

- ・ 機械学習AI 加速用 ベクトル計算ユニット(8bit float,4SIMD,パイプライン)
- ・ 論理推論加速 機構をRISC-Vコアに追加
 - ・ 特許申請中 (東京エレクトロンと共同申請)
- ・ GnuPrologのコンパイルド・バイナリを加速
- ・ ハードウェア・マルチスレッド機構
 - ・ OSソフトウェア一切なしで、スレッド切り替え
 - ・ ハードウェア・セマフォで排他/同期。LR/SCもある
 - ・ 外部ピンからの入力で、スレッド起床(ハードウェアのみで)
 - ・ 割り込みなし(割り込み相当の処理は、専用スレッドで)
- ・ ROS2通信ハードウェア”ROS2 rapper”を搭載
 - ・ CPUの助けなしにROS2通信
- ・ 外部I/O: Ethernet I/F, 任意波形生成器(AWG(PWMにもなる)), GPIO

エッジデバイスでも
大脳的処理を!

OSプログラム・コード
OSワーキング・エリア
不要!

OS 不要!

RISC-Vのトラストゾーン

TEE実装 Key stone が、どう動くか調査

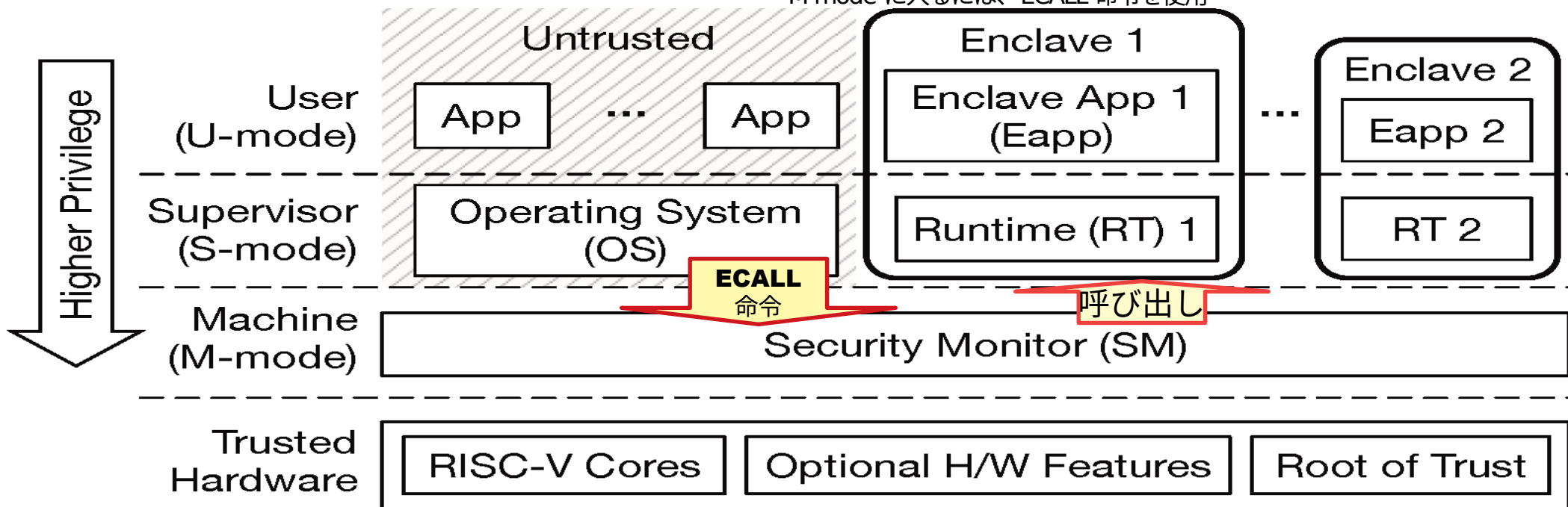
<http://docs.keystone-enclave.org/>

オープンソース・プロジェクト

ARMでいう Trust Zone と同等のものを、RISC-Vで実現

- OSSなので、ソースを読んで調査

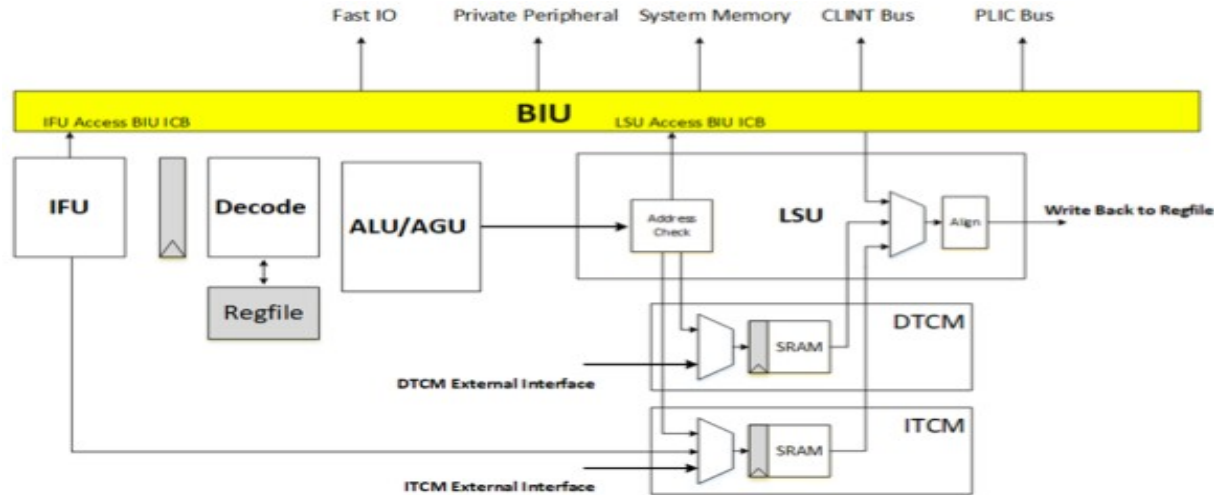
- RISC-V(Key stoneが使用の実装) には、3つのレベルがある
- U-mode (User) / S-mode (Supervisor; OS) / M-mode (Trusted)
- M-modeのみ物理空間で、プロテクトできる(TrustWorld)
- U-mode や S-mode は仮想空間(通常のOSが使用)
- M-mode に入るには、ECALL 命令を使用



Humming bird E203 core改造

- e203には、ビット操作拡張命令“B”が入っていない
- オレオレ命令を追加

population, parity, clz(count leading zero), ctz(count trailing zero),
Float add, bit reverse, half word exchange, quarter word exchange



E203はTang Primer FPGAボードで動作するRISC-Vソフトコア

図は下記より引用:

• ITCM and DTCM is integrated inside Core

https://content.riscv.org/wp-content/uploads/2018/07/Shanghai-1110_HummingBirdE200forShanghaiDay_v1.pdf

SPARCもオープンソースなソフトコアあり

- Open Sparc

<https://www.oracle.com/servers/technologies/opensparc-overview.html>

- LEONシリーズ

- 欧州宇宙機関(ESA)が積極開発

- Open Sparc の継続

<https://en.wikipedia.org/wiki/LEON>

- Len3, 3FT,4,5

- LEON3FT : Fault-tolerant processor

<https://www.gaisler.com/index.php/products/ipcores>

<https://www.gaisler.com/index.php/products/processors/leon3>

- Leon3 はGPL

- SPARC v8 が FPGAでも動作

オープンソースなソフトコア

- Opencores

<https://opencores.org/>

オープンソース・プロジェクトのコア

有名コアのRTL記述 多数アリ ※ライセンスに注意

Arithmetic core 109

Project	Files	Statistics	Status
1_bit_adpcm_codec	●	Stats	
2D_FHT	●	Stats	
4-bit_system	●	Stats	
5x4Gbps_CRC_generator_designed_with_standard_cells	●	Stats	done
8_bit_Vedic_Multiplier	●	Stats	done
Adder_library	●	Stats	
AES128	●	Stats	done
ANN	●	Stats	
Anti-Logarithm (square-root)_base-2_single-cycle	●	Stats	done
BCD_adder	●	Stats	
Binary_to_BCD_conversions_with_LED_display_driver	●	Stats	
Bluespec_SystemVerilog_Reed_Solomon_Decoder	●	Stats	
Booth_Array_Multiplier	●	Stats	
cavlc_decoder	●	Stats	done
Cellular_Automata_PRNG	●	Stats	done
CF_Cordic	●	Stats	
CF_FFT	●	Stats	
CF_Floating_Point_Multiplier	●	Stats	
Complex_Arithmetic_Operations	●	Stats	
Complex_Gaussian_Pseudo-random_Number_Generator	●	Stats	
Complex_Multiplier	●	Stats	
Complex_Operations_ISE_for_NIOS_II	●	Stats	
Configurable_AES-GCM_128-192-256_bits	●	Stats	
configurable_cordic_core_in_verilog	●	Stats	done
configurable_CRC_core	●	Stats	
Configurable_Parallel_Scrambler	●	Stats	done
CORDIC_arctangent_for_IQ_signals	●	Stats	
CORDIC_core	●	Stats	done OCCP
CRCAHE	●	Stats	
cr_div - Cached_Reciprocal_Divider	●	Stats	
DCT - Discrete_Cosine_Transformer	●	Stats	
Discrete_Cosine_Transform_core	●	Stats	done
double_fpu_verilog	●	Stats	done

Processor

OpenRISC_1000	●	Stats	done wbc OCCP extL
OpenRISC_1000_(old)	●	Stats	done wbc
OpenRisc_1200_HP_Hyper_Pipelined_OR1200_Core	●	Stats	done
OpenRISC_2000	●	Stats	wbc OCCP extL
OpenTPUlike	●	Stats	
P16C5x	●	Stats	done
pAVR	●	Stats	
PDP-11/70_CPU_core_and_SoC	●	Stats	done
PDP-8_Processor_Core_and_System	●	Stats	
Pepelatz_MISC	●	Stats	
Plasma - most MIPS I(TM) opcodes	●	Stats	done OCCP
plasma_with_FPU	●	Stats	
Potato_Processor	●	Stats	done wbc
PPX16_mcu	●	Stats	
qrsc32_wishbone_compatible_risc_core	●	Stats	
QUARK_RISK	●	Stats	wbc
r2000_Soc	●	Stats	wbc
Raptor64	●	Stats	
Reduced_AVR_Core_for_CPLD	●	Stats	
Register_Oriented_Instruction_Sets	●	Stats	
RISC_Microcontroller	●	Stats	
risc16f84	●	Stats	done
RISC5x	●	Stats	done
RISCCompatible	●	Stats	
RISC_Core_I	●	Stats	
RISE_Microprocessor	●	Stats	
RTF65002	●	Stats	wbc
rtf8088	●	Stats	
RV01_RISC-V_core	●	Stats	done
S1_Core	●	Stats	done wbc
S80186	●	Stats	done
SAYEH_educational_processor	●	Stats	
Scarts_Processor	●	Stats	
small_non-pipelined_3_stage_16-bit_cpu_(fetch_decode_execute)	●	Stats	
Small_Stack_Based_Computer_Compiler	●	Stats	done
Small_x86_subset_core	●	Stats	
Soft_AVR_Core_+_Interfaces	●	Stats	done
Software_Aided_Wishbone_Extension_for_Xilinx_(R)_PicoBlaze_(TM)	●	Stats	done wbc
Steel_Core	●	Stats	

以上

AIもやっています 「ごまめ[®]」
健康のためのAI

お問い合わせ

<https://www.axe.bz/>

mail to: eigyo@axe.bz