

AXEのAIとカスタムCPUコア設計、 ROS2通信ハードウェアIP提供

2022/DEC

AXE, Inc.

(株)アックス(創業30年!)の基本ソフトの採用実績



シャープ
携帯電話



オリンパス デジカメ



ザウルス



シャープ ホームサーバ



国スパコン富岳 OS研究



ロボット



航空自衛隊



自動運転Autoware



富岳にはMcKernelが採用されている

XcalableMPの仕様策定に参加

同言語コンパイラ開発

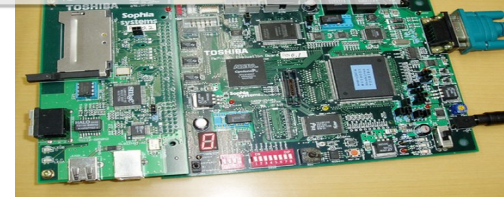
資本金+資本準備金=5億3千万円

Nextyエレからも資本が入っている

村井純先生(インターネット殿堂入り)も株主だ

日本の独自CPUの基本ソフトウェアをサポート

富士通 FR/V, ルネサス(旧日立製作所)SH-Mobile, SH2A, 東芝MeP, ルネサス(旧NEC)V850, セイコーエプソンC33, C17, シャープLH795xx



前のAIブームの時のAI開発言語。国家プロジェクトICOTの核言語

竹岡

1980年代: Wnn(うんぬ)、Temporal Prolog(時相論理Prolog)を京都大学 数理解析研究所の地下辺り(KABA)で作ったり。

1990年代初頭:豊橋技科大 湯浅研にて、1024PE規模の超並列計算機“SM-1”のLSIハードウェア、基本ソフトウェアの設計開発に携わる。

Common Lispで開発ツール書いた。

当時、超並列計算機は、

ニューラルネットのシミュレーション

デジタル・アニーリング

(今の量子コンピュータが行なっている計算)

によく使用された

湯浅太一,萩谷昌己先生はKyoto Common Lispの作者。

LispはAI開発言語



萩谷さんに貰った



湯浅研 SM-1 フロントエンドはSparc
開発環境はCommon LispとC

Autoware応用 iinoプロジェクト

「ただの畳」

• iino(ゲキダン イイノ)

- 関西電力の新規事業プロジェクト
- 時速 5km/h でゆっくり走行

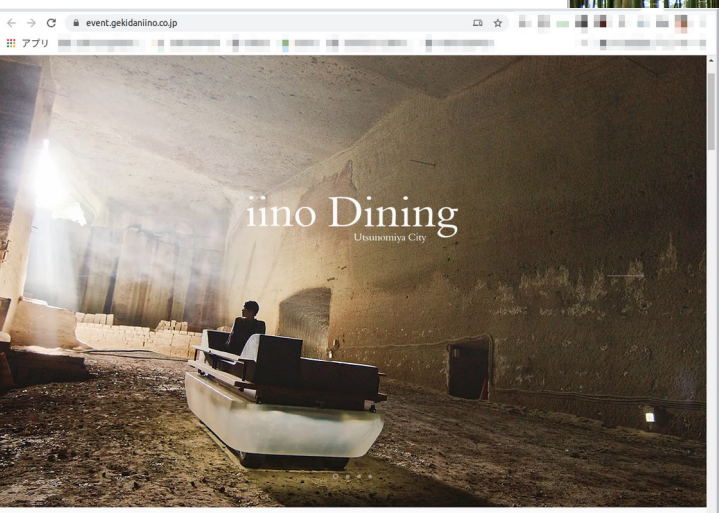
- 2019年:悟空のきもち(ヘッドスパ)、関西電力、損保ジャパン日本興亜 3社共同プロジェクト

<https://gekidaniino.co.jp/>
<https://iinomob.jp/>

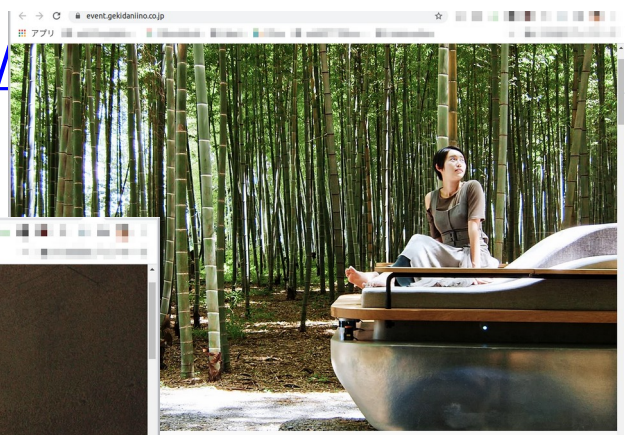
- 日本初の自動運転車に保険

自動運転で走るタタミのうえで、ヘッドスパを施術

https://www.sjnk.co.jp/~media/SJNK/files/topics/2018/20190115_2.pdf



宇都宮 大谷資料館(採石場跡地)



宇都宮 竹林若山農場



- 街なかを移動
- チョイ乗り

これからの俺たち

俺のハードウェア
(俺のASIC前夜)

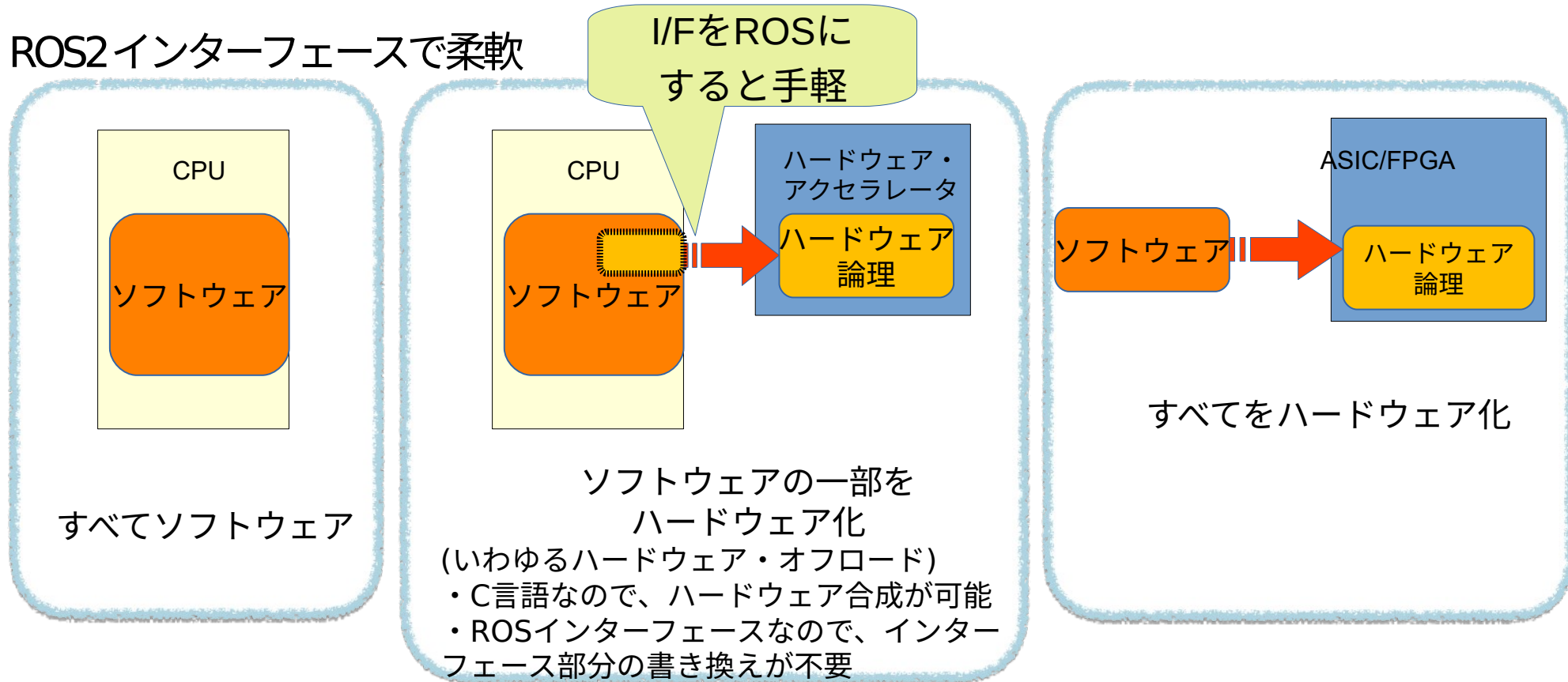
高位合成で
時代が変わった

高位合成により

- C言語ライクな(高位合成)言語で書くと、どんな形でも、どこでも実行できる
- モジュール間インターフェースは ROS2
 - AXEからの提案

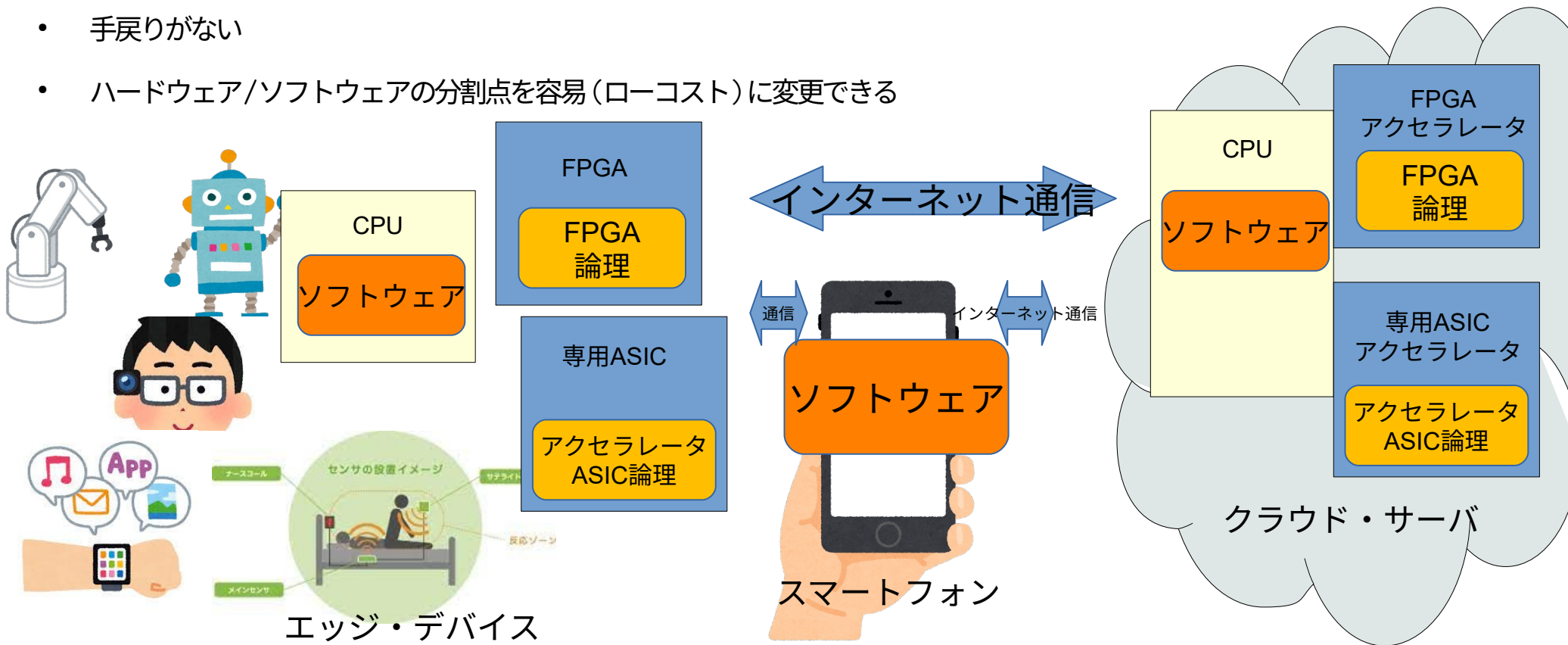
高位合成によりHW⇔SWの行き来が自在

- C言語(高位記述言語)で書くと、どんな形でも、どこでも実行できる
- ROS2インターフェースで柔軟



高位合成により、最適な ヘテロジニアス・インテグレーションへ最短距離で

- 書いたソースコードは、ハードウェアにもソフトウェアにもなる
- クラウド・サーバのハードウェア上でも、スマートフォンでも、エッジ・デバイスのハードウェアでも動く
- 手戻りがない
- ハードウェア/ソフトウェアの分割点を容易(ローコスト)に変更できる



高位合成により

- サイバー空間: C言語(高位記述言語),DSLで書く



[合成系]



- フィジカル空間: ASIC(SoC)になる
 - センサ
 - アクチュエータが動作
- 低消費電力 & 高効率
 - 専用LSI(ASIC)だから

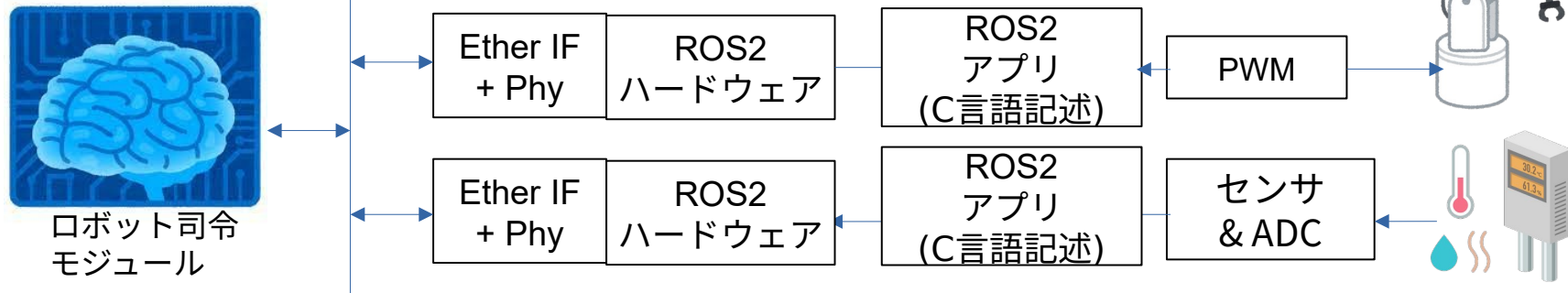
※今現在は、前夜だから
FPGAで動かす

ROS2プロトコルを完全ハードウェア化した…

AXEでは、ROS2プロトコルを完全ハードウェア化した

- CPU無しで、ロボットの部品モジュールができる
 - センサとROS2プロトコルHWだけで、センサ・モジュール
 - PWMとROS2プロトコルHWだけで、アクチュエータ・モジュール
 - アプリケーションはC言語で書いておけば、すぐハードウェア論理に合成
- ロボット部品が、ゴミのようなLSIでできる ← CPU不要
- CPU脳の敗北

※ROS2ハードウェアには、コンフィギュレーション用のPROMがあることが望ましい

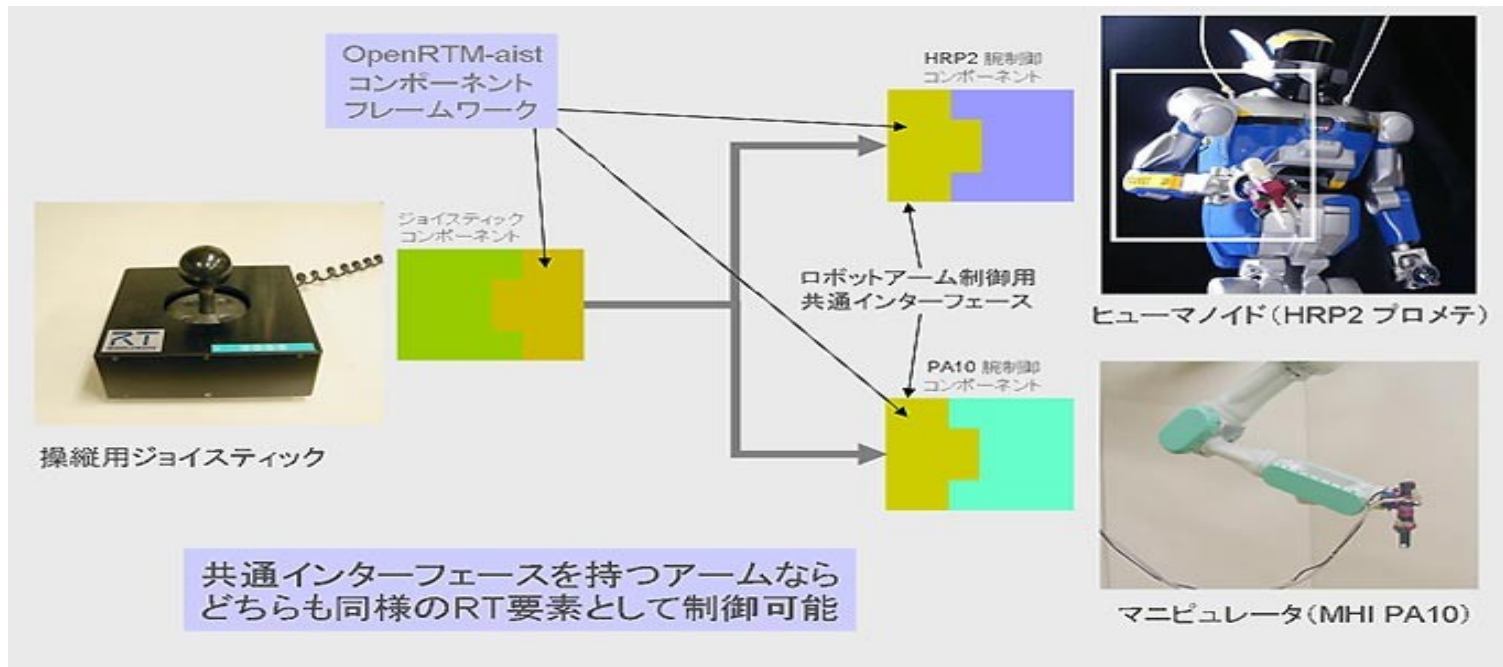


ロボット用ミドルウェア(ROS, RTミドルウェア など)

ROS ロボット・ミドルウェア = ソフトウェア・バス

ロボットのモジュールの流通性が高まる

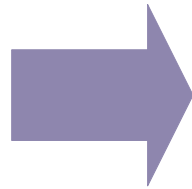
日本のロボット業界は、ROSをデファクト・スタンダードにしようと活動している



CPU脳を
たたき直す

もう、CPUは(簡単には)速くならないよ

- ついに、微細化 限界
- 微細化 による
 - 高集積
 - 高クロック周波数

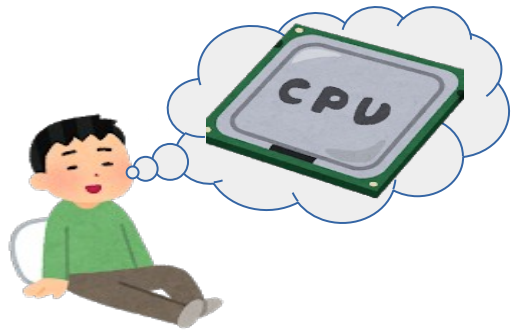


- 専用 ロジック回路による
 - 高速化
 - 省 消費電力
を行うしか

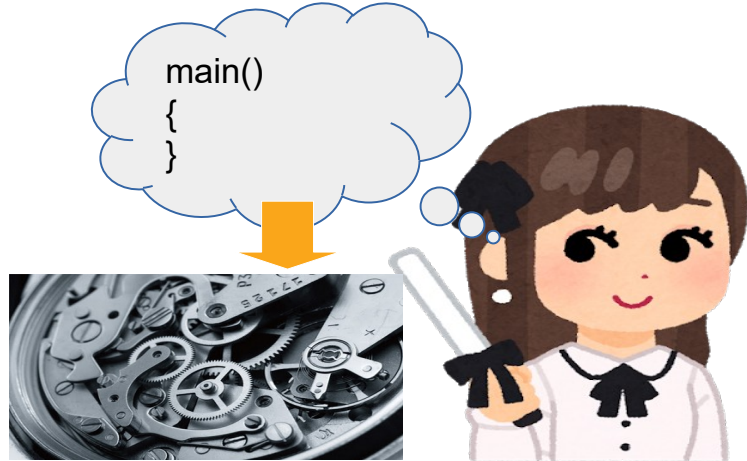
は終了

自由ASIC時代

- 「CPU脳」な人類を、パラダイムシフト
- CPU抜き アーキテクチャを、すすめる
- CPU抜き システムのアーキテクチャ決定をサポートすべし



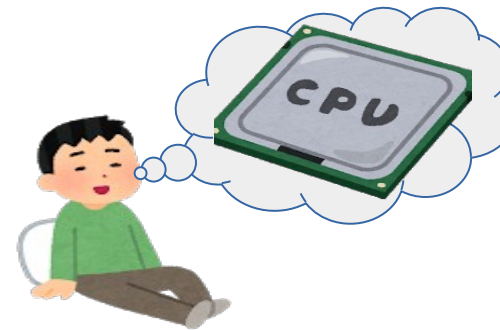
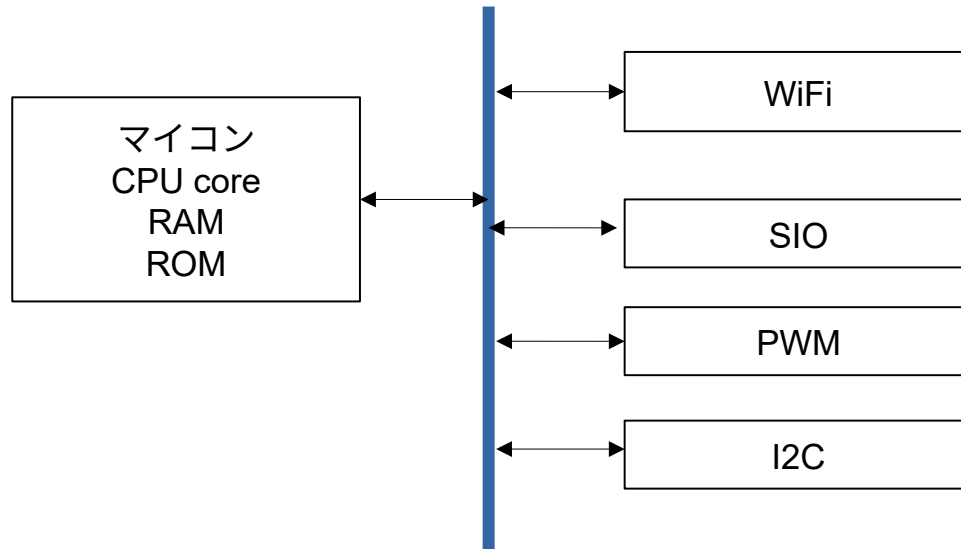
旧人類 CPU脳



ハードウェア
(状態数がたいへんに大きい精密機械)

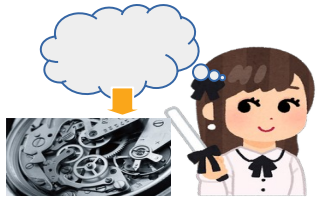
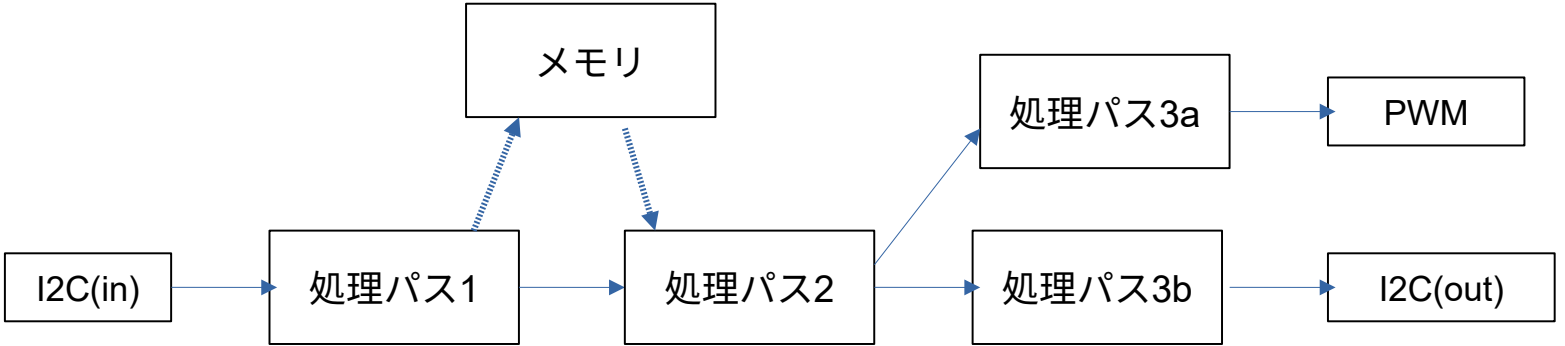
CPU脳

- 中心コントローラ(CPU)が支配する、コモンバス方式
- 今の周辺デバイスは完全自立で動けない
 - DMA可能でも、初期化はCPU依存
 - (昔は、初期化不要なSIO LSIとかあった.baud rateなどは外部ピンで設定)



自由ASIC

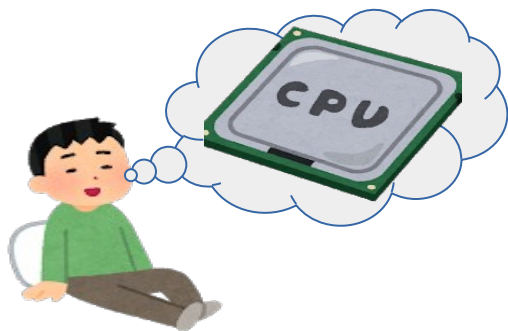
- 外からのデータは順番にやってくる
 - シリアル/パラレル
- データの処理は、データフローのままに…!
- データフロー = パイプライン
 - たまには、バッファ・メモリも許してやろうか…



※I2CはIn/Outは、通信線が共通なので、適切な調停(排他制御)を

脱CPUアーキテクチャを推進する

- 新しい細粒度 高並列アーキテクチャの時代
 - 1port RAMをやめさせる、D-FFを使わせる
- 同時並列にバラバラにデータ・アクセスできる
- 教育&コンサルテーションを提供します!



CPU脳プログラマ

与えて、
救済



ツールと教育

背景：
カスタムLSI
設計&製造の
民主化

Googleがカスタム半導体の民主化・自由化を推進

・Googleなどが、OSSを使用して、

LSI開発の民主化を行っている。2020年ごろより

・日本政府も、半導体産業 復興を行う

- LSI開発者の裾野を広げる
 - 零細企業でも、LSI設計ができる時代になった
- Open EDAを活用(Googleにならう)
- OSSのハードウェア開発ツールを使用

・専用LSIは、低消費電力=持続可能社会に貢献

- 汎用CPU, Intel x86は電力消費が大きすぎる

我々は、OSSのハードウェア開発ツール 復興を行う!

技術者 不足をStop!日本の半導体 産業 復興!

・OSSの開発ツールで、LSI 開発

- 無料ツールの使い手が増える → 技術者不足 解消!
- 半導体 設計 技術者
- 論理回路 設計 技術者

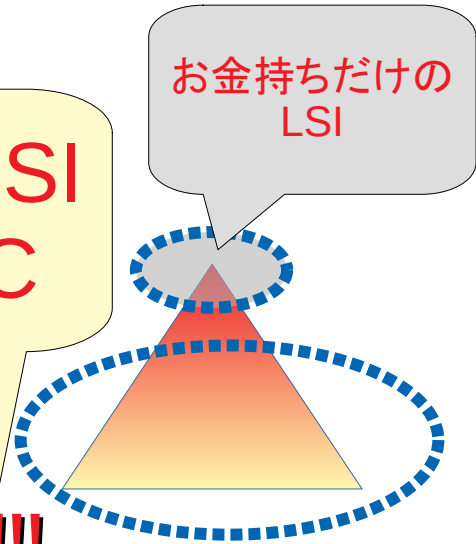
・半導体 工場は、「お高くない」ものもある

- 65nm とか、安くて かなりいい

LSI開発の民主化だっ!!!

みんなのLSI
俺のASIC

お金持ちだけの
LSI



Googleがカスタム半導体の民主化・自由化を推進

- Googleと半導体ファウンドリの「SkyWater」が協力し、業界初となるオープンソースのPDKを公開
 - Skywaterは2017年に米Cypress Semiconductorからスピノフしたファウンドリ企業
- PDK プロセス設計キット
- ある特定の半導体プロセスで回路設計を行う際に必要な設計情報
- **トランジスタ配置の制約条件などが書かれている**
- 半導体の設計者は、半導体製造のファウンドリから「Process Design Kit(PDK)」と呼ばれる開発キットを購入
- 半導体ファウンドリが提供するPDKは高価 → **それが無料OSSに!**
- SkyWaterの130nmプロセス「SKY130」で半導体チップの製造を行うための設計を無料で行うことが可能
- GitHub - google/skywater-pdk: Open source process design kit for usage with SkyWater Technology Foundry's 130nm node.

<https://github.com/google/skywater-pdk>

Googleがカスタム半導体の民主化・自由化を推進

- GoogleがスポンサとなりMPWシャトル・サービスを、**無料で提供**する予定
 - MPW(Multi-project wafer):
 - さまざまな顧客からの異なる半導体チップを1枚のウェーハで製造する
 - Skywater社で製造
- **50万円～100万円出せば、作ってくれる道筋もある**
- 130nmプロセスのアナログ・デジタル混載LSIを作る。
-

FOSSi(Free and Open Source Silicon Foundation)

- FOSSi(Free and Open Source Silicon Foundation)
 - 無料のオープンデジタルハードウェア設計
 - そのエコシステムを支援
 - 非営利団体
- [FOSSi Dial-Up] Tim Ansell - Skywater PDK: Fully open source manufacturable PDK for a 130nm process
<https://www.youtube.com/watch?v=EcZW2IWdnOM>
- 半導体チップの設計フロー3つの要素
 - RTLデザイン ○
 - EDAツール(電気、電子CAD) ○
 - PDKデータ ← これがOSSに!
- 唯一オープンソース化がなされていなかったPDKデータがいよいよオープンソース化された
- FOSSiでは、半導体 試作を無料でできるサービスも提供
 - (申込みがうまくできないが…)
-
- GoogleがスポンサとなりMPWシャトル・サービスを、**無料で提供**する予定
 - MPW(Multi-project wafer):
 - さまざまな顧客からの異なる半導体チップを1枚のウェーハで製造する
 - Skywater社で製造

FOSSi

- NEDO資金も受け、日本人 河崎氏も、
実際に、LSIを開発した。



※河崎氏は、RISC-V Foundation ボードメンバで、
JASA RISC-V WGメンバでもある

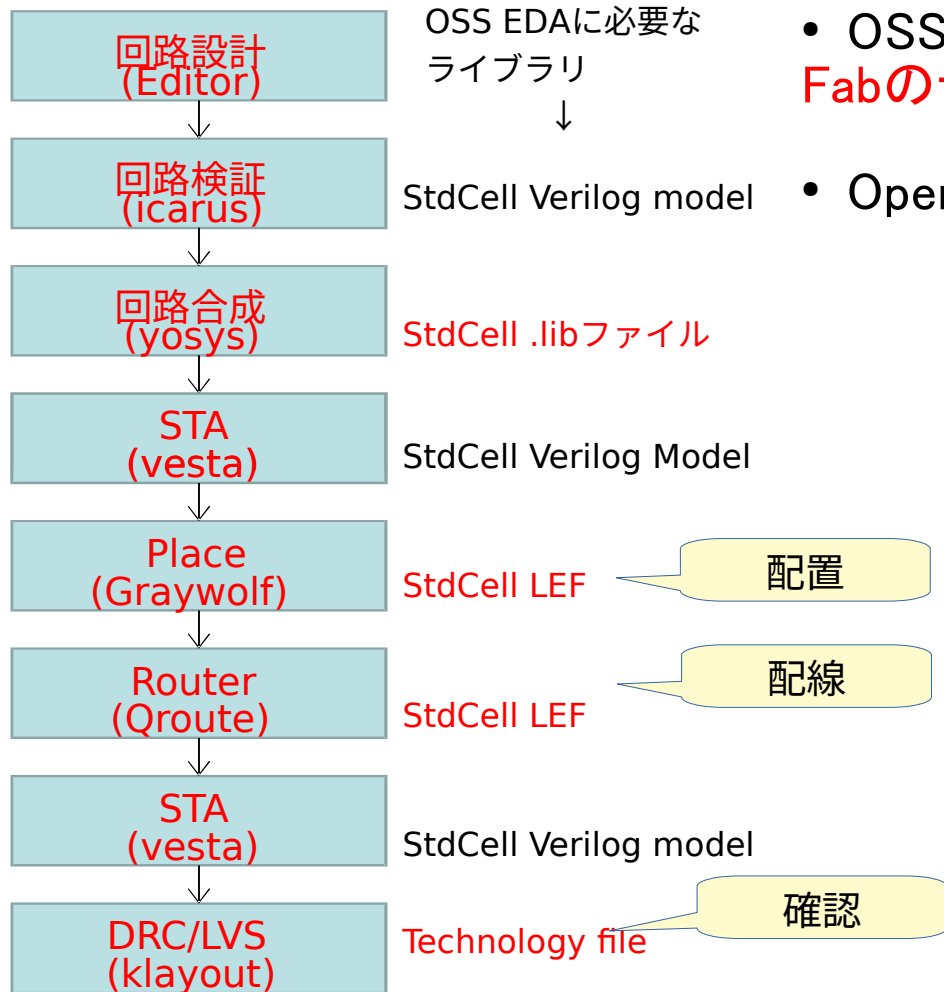
- 「Google社 が スポンサーとなり eFabless社 の オープンソースシャトル を
使用し30日で RISC-V 半導体 を 設計試作」
- <https://riscv.or.jp/2022/05/marmot-risc-v-asic/>
- JASA RISC-V WGとJASA OSS-WGは、頻繁に情報交換中

半導体チップの設計フロー3つの要素

- RTLデザイン ○
- EDAツール ○
- デジタル合成フロー○
- PDKデータ ← これがOSSに

OSSによるLSI開発のEDAフロー

ロジック部開発フロー



- OSS EDAに必要なライブラリは **Fabのデータから変換が必要**

- OpenRAM、PLL、アナログは別なフローになる

デジタル合成フロー(Digital Synthesis Flow)

- Digital synthesis flowは、ツールと手法
 - RTL → 物理回路 を合成
 - FPGA ならば、Xilinx, Intel などのコンフィギュレーション・コード
 - 特定の半導体工場(ファブ)で作るIC(LIS)の場合は、ファブのプロセス・テクノロジーでのレイアウト
 - PDK情報が必要
- これまで
- 半導体用のデジタル合成フローは、
ケーデンスやシノプシス
という大手企業のみが供給していた
- FPGA 用は、Xilinx, Intel などFPGAメーカーがツールを提供
OSSではないが、無料で配られていることも多い

Qflow OSSデジタル合成フロー・ツール

※いまでは、Graywolfの方がいいかも

- Qflow 1.3: An Open-Source Digital Synthesis Flow
- <http://opencircuitdesign.com/qflow/welcome.html>
- OpenCores内 情報
 - <https://opencores.org/howto/eda>
- Icarus Verilog Simulator: Verilog simulation and synthesis tool
- **Verilator**: free Verilog HDL simulator
- GHDL VHDL simulator
-

OpenRAM: RAM合成ツール

- OpenRAMは、RAMを合成する
- 同時ではない、read/write のフツアのRAMは合成できる
- OpenRAMは、同時1read & 1write のRAMが仕様上は合成できるはず。
 - だが、ダメ(残念)

Klayout

- マスクの確認
- 分析
- <https://www.klayout.de/>

```
# The PCell declaration for the circle
class StarCell < PCellDeclarationHelper
include RBA

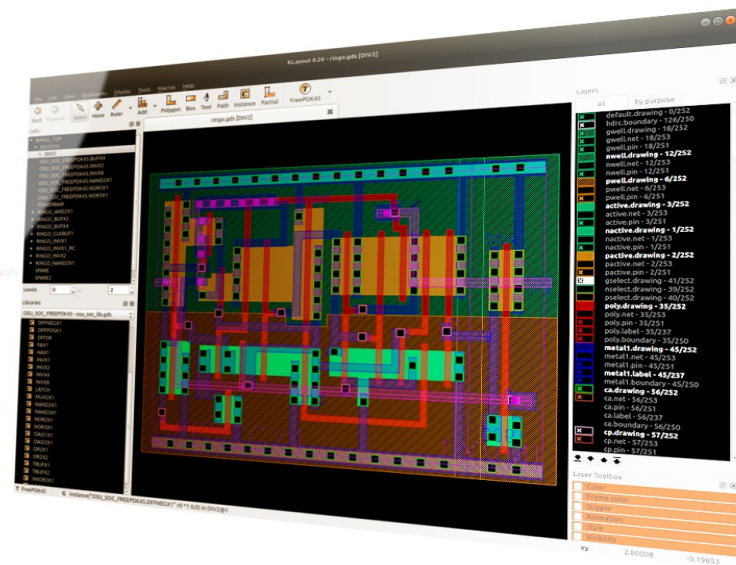
def initialize
  # Important: initialize the super class
  super

  # declare the parameters
  param:l, TypeLayer, "Layer", :default => LayerInfo.new(1, 0)
  param:r1, TypeDouble, "Inner radius", :default => 1, :unit => "um"
  param:r2, TypeDouble, "Outer radius", :default => 5, :unit => "um"
  param:n, TypeInt, "Number of rays", :default => 32
  param:da, TypeInt, "Ray angle", :default => 5, :unit => "deg"
end

def display_text_impl
  # Provide a descriptive text for the cell
  "StarCell(L=#{l.to_s},R1=#{'%3f' % r1.to_f},R2=#{'%3f' % r2.to_f},N=#{n})"
end

def produce_impl
  # This is the main part of the implementation: create the layout

  # compute the ray parts and produce the polygons
  d = Math::PI * da / 0.5 / 180.0
  a = 0.0
  n.times do |i|
    dpts = [
      DPoint.new(r1 * Math.cos(a - d), r1 * Math.sin(a - d)),
      DPoint.new(r1 * Math.cos(a + d), r1 * Math.sin(a + d)),
      DPoint.new(r2 * Math.cos(a - d), r2 * Math.sin(a - d)),
      DPoint.new(r2 * Math.cos(a + d), r2 * Math.sin(a + d))
    ]
    cell.shapes(l_layer).insert(DPolygon.new(dpts))
    a += Math::PI * 2 / n
  end
end
end
```



国内

- 政府が、LSI産業 再興
 - JASAにも、経産省から LSI 開発者 教育についてヒアリングが来て、私も JASA技術本部長として応えました。
- LSI開発者の裾野を広げたい
 - 産業技術総合研究所なども、OpenEDAに注目

国内もLSI開発の民主化 推進

日本も、国の金で施設を用意

ふくおかIST(公益財団法人 福岡県産業・科学技術振興財団)

福岡システムLSI総合開発センター

「システムLSI設計試作センター」

- http://www.ist.or.jp/lsi/pg04_02.html

- ここで使用されているツールはほとんどがOSS

 - NEC Cyber Work Bench程度が商品

- ベンチャー企業が半導体の設計ツールを安価で利用できる

- LSI設計、少量試作できる

 - 50～100万円あれば、LSIの少量生産ができる仕組みがある

EDA開発用 OSS 日本でも流行

福岡システムLSI総合開発センター
 「システムLSI設計試作センター」
 の設計ツール一覧

基本、OSSで揃えてある

EDA機能		製品名
ハイレベル設計	CLレベル合成	* CyberWorkBench ※NECの商品
フロントエンド設計	論理シミュレータ	* Incisive Enterprise Simulator L
	回路図エントリ	* Schematic Editor
		* ASCA
		* ASCA Basic
	シミュレーションIF	* Virtuoso ADE
		* ASCA Sim.faceA
	総合回路設計	* C ³
	Composer IFオプション	* Composer IF
	Verilog Interfaceオプション	* Verilog Interface
	SPICE Interfaceオプション	* Analog HSPICE IF
アナログ回路シミュレータ	* Spectre circuit Sim	
	* Msim	
汎用回路波形解析	* SimVision	
レイアウト	レイアウトエディタ	* Virtuoso LE
		* ISMO
	Cadence Linkオプション	* Cadence Link (DF II Upgrade)
レイアウト検証 その他	DRC	* Calibre DRC
	LVS	* Calibre LVS
	IFオプション	* Calibre RVE
	DRC/ERC	* iDRC/ERC
	Caliber IFオプション	* Calibre IF
	寄生パラメータ抽出	* Calibre xRC

国内でもPDKのオープン化を行っている人が居る

- PDKは、トランジスタ配置の制約情報
- 一部の情報は手続きで書いたほうが楽
- Pythonのサブルーチンを書いている人がいる

ミニマルファブ

一般社団法人 ミニマルファブ推進機構

MINIMAL(Minimal Fab Promoting Organization)は、

半導体、MEMSなどマイクロデバイスの多品種少量生産を可能とする革新的な産業システム(ミニマルファブ)の発展と普及を支援する世界唯一の団体です。

<https://www.minimalfab.com/>

- 半導体 1個を手作りで作れる
- 手間は掛かるが、費用は超安い



<https://www.semiconportal.com/archive/editorial/conference/report/130705-minimalfab.html?print>

より引用

FPGAも自由に

非営利団体「Open Source FPGA Foundation (OSFPGA Foundation)」

<https://osfpga.org/>

- 2021年4月8日、非営利団体「Open Source FPGA Foundation (OSFPGA Foundation)」の設立が発表された。
- OSFPGA Foundationは、オープンソースのFPGA設計ツールとIPブロックの普及推進を目的に組織された団体で、Open-Silicon社の創業者でSiFiveの会長も務めていた
- Naveed Sherwani氏が会長を務める。ボードメンバーには大学や研究機関の研究者が名を連ねており、FPGAベンダからはQuickLogicの社長兼CEOであるBrian Faith氏も参画している。同氏はオープンソースのチップ設計を目指す「CHIPS Alliance」やRISC-Vベースのオープンソースコアを

<https://www.eda-express.com/2021/04/fpgaipopen-source-fpga-foundation.html>

ソフトコアCPU
改造承ります

RISC-Vのトラストゾーン

TEE実装 Key stone が、どう動くか調査

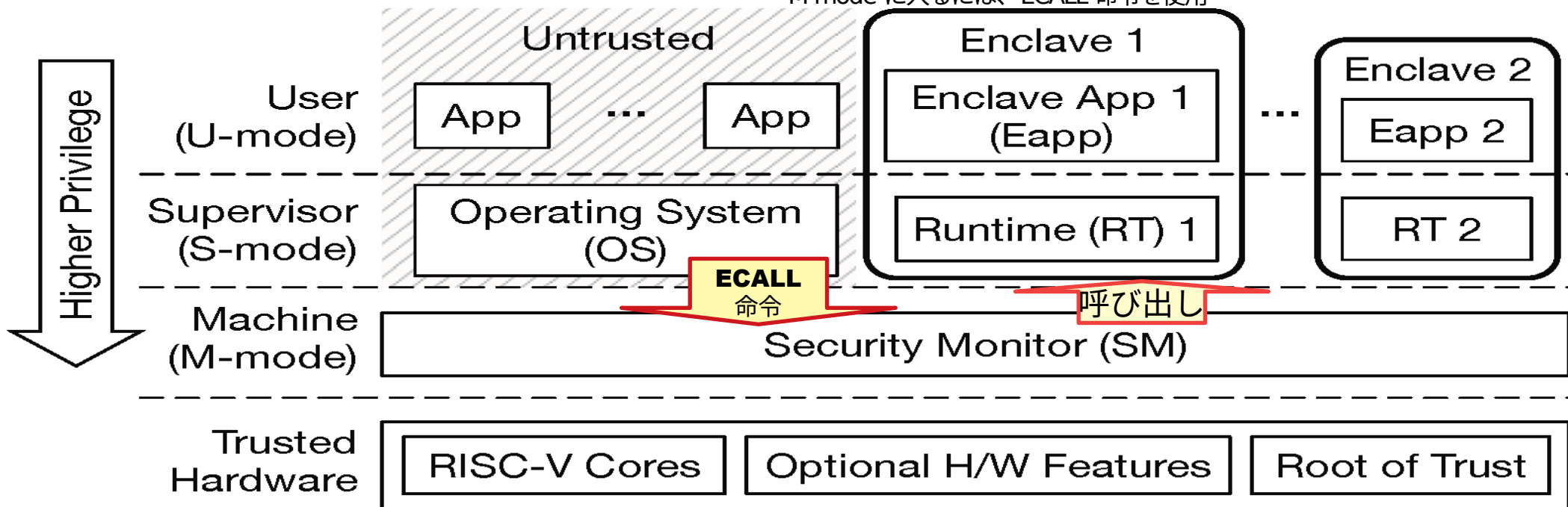
<http://docs.keystone-enclave.org/>

オープンソース・プロジェクト

ARMでいう Trust Zone と同等のものを、RISC-Vで実現

- OSSなので、ソースを読んで調査

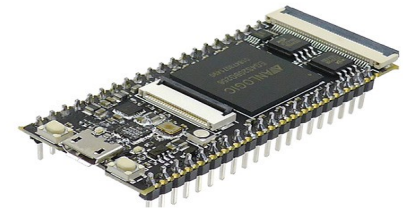
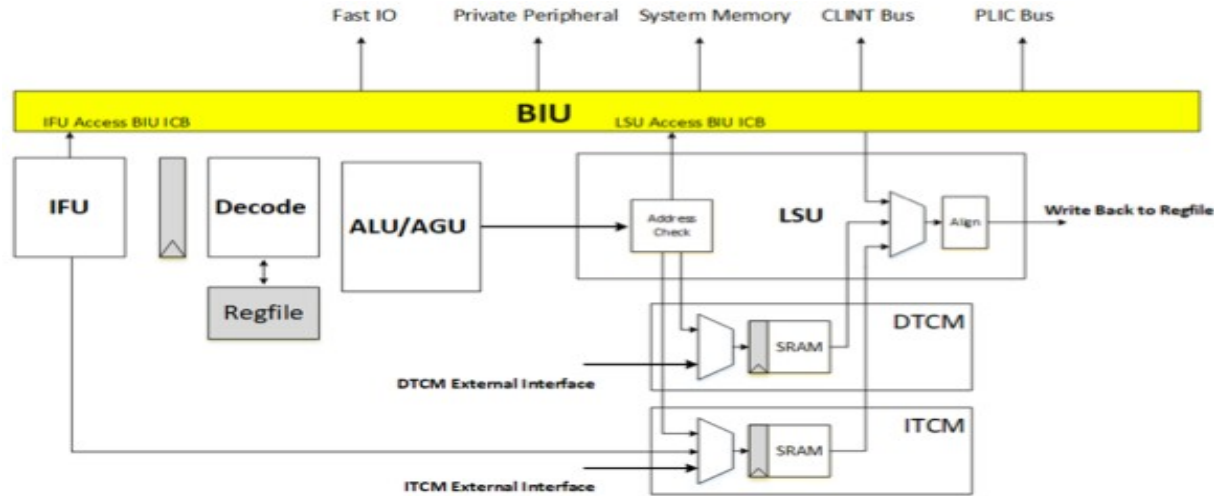
- RISC-V(Key stoneが使用の実装) には、3つのレベルがある
- U-mode (User) / S-mode (Supervisor; OS) / M-mode (Trusted)
- M-modeのみ物理空間で、プロテクトできる(TrustWorld)
- U-mode や S-mode は仮想空間(通常のOSが使用)
- M-mode に入るには、ECALL 命令を使用



Humming bird E203 core改造

- e203には、ビット操作拡張命令“B”が入っていない
- オレオレ命令を追加

population, parity, clz(count leading zero), ctz(count trailing zero),
Float add, bit reverse, half word exchange, quarter word exchange



E203はTang Primer FPGAボードで動作するRISC-Vソフトコア

図は下記より引用:

- ITCM and DTCM is integrated inside Core

https://content.riscv.org/wp-content/uploads/2018/07/Shanghai-1110_HummingBirdE200forShanghaiDay_v1.pdf

現在 開発中の SoC

- 省電力、省メモリ
- ロボットの部品モジュールが簡単に作れる
- 論理推論加速 機構をRISC-Vコアに追加
 - 特許申請中
 - GnuPrologのコンパイルド・バイナリを加速
- ハードウェア・マルチスレッド機構
 - OSソフトウェア一切なしで、スレッド切り替え
 - 外部ピンからの入力で、スレッド起床(ハードウェアのみで)
 - 割り込みなし(割り込み相当の処理は、専用スレッドで)
- ROS2通信ハードウェア”ROS2 rapper”を搭載
 - CPUの助けなしにROS2通信
- 外部I/O: Ethernet I/F, 任意波形生成器(AWG(PWMにもなる)), GPIO

エッジデバイスでも
大脳的処理を!

OSプログラム・コード
OSワーキング・エリア
不要!

OS 不要!

SPARCもオープンソースなソフトコアあり

- Open Sparc

<https://www.oracle.com/servers/technologies/opensparc-overview.html>

- LEONシリーズ

- 欧州宇宙機関(ESA)が積極開発

- Open Sparc の継続

<https://en.wikipedia.org/wiki/LEON>

- Len3, 3FT,4,5

- LEON3FT : Fault-tolerant processor

<https://www.gaisler.com/index.php/products/ipcores>

<https://www.gaisler.com/index.php/products/processors/leon3>

- Leon3 はGPL

- SPARC v8 が FPGAでも動作

オープンソースなソフトコア

- Opencores

<https://opencores.org/>

オープンソース・プロジェクトのコア

有名コアのRTL記述 多数アリ ※ライセンスに注意

Arithmetic core 109

Project	Files	Statistics	Status
1_bit_adpcm_codec	●	Stats	
2D_FHT	●	Stats	
4-bit_system	●	Stats	
5x4Gbps_CRC_generator_designed_with_standard_cells	●	Stats	done
8_bit_Vedic_Multiplier	●	Stats	done
Adder_library	●	Stats	
AES128	●	Stats	done
ANN	●	Stats	
Anti-Logarithm (square-root)_base-2_single-cycle	●	Stats	done
BCD_adder	●	Stats	
Binary_to_BCD_conversions_with_LED_display_driver	●	Stats	
Bluespec_SystemVerilog_Reed_Solomon_Decoder	●	Stats	
Booth_Array_Multiplier	●	Stats	
cavlc_decoder	●	Stats	done
Cellular_Automata_PRNG	●	Stats	done
CF_Cordic	●	Stats	
CF_FFT	●	Stats	
CF_Floating_Point_Multiplier	●	Stats	
Complex_Arithmetic_Operations	●	Stats	
Complex_Gaussian_Pseudo-random_Number_Generator	●	Stats	
Complex_Multiplier	●	Stats	
Complex_Operations_ISE_for_NIOS_II	●	Stats	
Configurable_AES-GCM_128-192-256_bits	●	Stats	
configurable_cordic_core_in_verilog	●	Stats	done
configurable_CRC_core	●	Stats	
Configurable_Parallel_Scrambler	●	Stats	done
CORDIC_arctangent_for_IQ_signals	●	Stats	
CORDIC_core	●	Stats	done OCCP
CRCAHE	●	Stats	
cr_div - Cached_Reciprocal_Divider	●	Stats	
DCT - Discrete_Cosine_Transformer	●	Stats	
Discrete_Cosine_Transform_core	●	Stats	done
double_fpu_verilog	●	Stats	done

Processor

OpenRISC_1000	●	Stats	done wbc OCCP extL
OpenRISC_1000_(old)	●	Stats	done wbc
OpenRisc_1200_HP_Hyper_Pipelined_OR1200_Core	●	Stats	done
OpenRISC_2000	●	Stats	wbc OCCP extL
OpenTPUlike	●	Stats	
P16C5x	●	Stats	done
pAVR	●	Stats	
PDP-11/70_CPU_core_and_SoC	●	Stats	done
PDP-8_Processor_Core_and_System	●	Stats	
Pepelatz_MISC	●	Stats	
Plasma - most MIPS I(TM) opcodes	●	Stats	done OCCP
plasma_with_FPU	●	Stats	
Potato_Processor	●	Stats	done wbc
PPX16_mcu	●	Stats	
qrsc32_wishbone_compatible_risc_core	●	Stats	
QUARK_RISK	●	Stats	wbc
r2000_Soc	●	Stats	wbc
Raptor64	●	Stats	
Reduced_AVR_Core_for_CPLD	●	Stats	
Register_Oriented_Instruction_Sets	●	Stats	
RISC_Microcontroller	●	Stats	
risc16f84	●	Stats	done
RISC5x	●	Stats	done
RISCCompatible	●	Stats	
RISC_Core_I	●	Stats	
RISE_Microprocessor	●	Stats	
RTF65002	●	Stats	wbc
rtf8088	●	Stats	
RV01_RISC-V_core	●	Stats	done
S1_Core	●	Stats	done wbc
S80186	●	Stats	done
SAYEH_educational_processor	●	Stats	
Scarts_Processor	●	Stats	
small_non-pipelined_3_stage_16-bit_cpu_(fetch_decode_execute)	●	Stats	
Small_Stack_Based_Computer_Compiler	●	Stats	done
Small_x86_subset_core	●	Stats	
Soft_AVR_Core_+_Interfaces	●	Stats	done
Software_Aided_Wishbone_Extension_for_Xilinx_(R)_PicoBlaze_(TM)	●	Stats	done wbc
Steel_Core	●	Stats	

以上

AIもやっています 「ごまめ[®]」
健康のためのAI

お問い合わせ

<https://www.axe.bz/>

mail to: eigyo@axe.bz