

これからの HPC システムに向けた インテル® FPGA の取り組み

インテル株式会社 プログラマブル・ソリューションズ営業本部
事業開発マネージャー

高藤 良史



intel®

FPGA とは？

- 動的に再プログラム可能なハードウェア回路を形成するシリコンデバイス
- 様々なワークロードに対応可能なデータパスを備え、処理速度が高く電力効率に優れた、低レイテンシーのサービスを提供

データ分析

映像処理

ネットワーク

符号化処理

組込み・アプライアンス向けのチップ製品

コンピューティング向けのカード製品



FPGA Cluster & FPGA as a service in Worldwide

- Univ Paderborn : Noctua 1 & 2
- Jülich Supercomputing Centre: DEEP-EST cluster

- CERN: LHCb

- Barcelona Supercomputing Center: LEGaTO

- Luxembourg: Meluxina Supercomputer

- Alibaba Cloud: FPGA as a Service

- Riken : Fugaku (ESSPER)

- Univ. of Tsukuba : Cygnus

- Boston Univ: Open Cloud FPGA Testbed

- Microsoft: Azure

- AWS: f1

*引用元は別スライドに掲示

インテル® FPGA

急激に変化する世界へフレキシビリティを提供



データ・セントリック
時代へ



最適化された
バンド幅



ミッドレンジ
FPGA & SoC



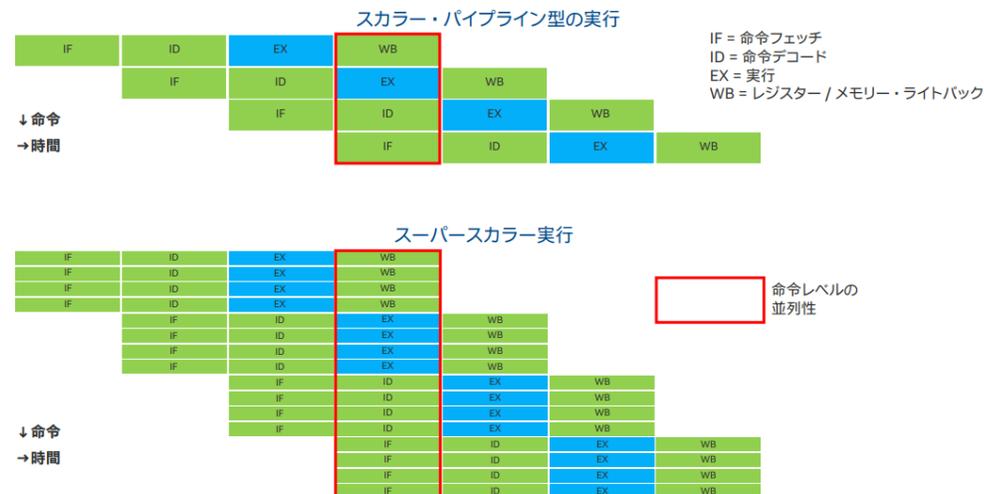
エッジ・セントリック
FPGA



FPGA と CPU の比較

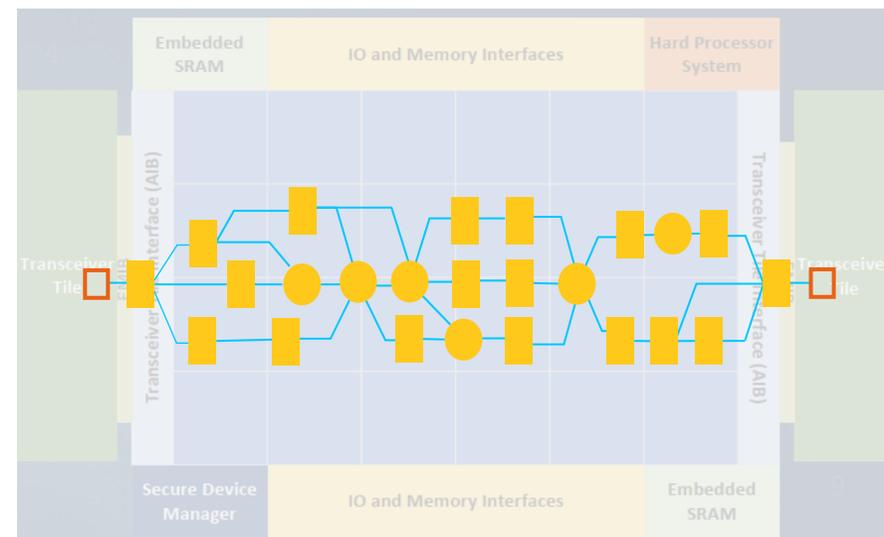
CPU のメリット

- アウト・オブ・オーダーのスーパー scalar 実行
- 極めて大規模な命令レベルの並列性を抽出できる高度な制御
- 高精度な分岐予測や逐次的コードの自動並列化
- サポートされる命令の多さ
- オフロード・アクセラレーションと比較して短いレイテンシー
- 逐次的なコード実行により開発が容易



FPGA のメリット

- 効率的なデータ・プロセッシング・パイプライン: 制御ユニット、命令フェッチユニット、レジスタ・ライトバック等が不要
- カスタム命令: CPU/GPU がネイティブでサポートしていない命令も、効率的に実行 (ビット操作・非標準データ型対応など)。
- 並行した作業にまたがるデータ依存性を、パイプラインをストールさせることなく解消
- さまざまなネットワーク、メモリー、カスタム・インターフェイス、プロトコルと直接通信、低遅延・確定的レイテンシ



FPGA が得意とする演算の例

低遅延 TCP パケット・オフロード・エンジン

(AlgoLogic社)

超低遅延 (ULL) MAC による
イーサネット・フレーム・ハンドリング
MAC および TCP オフロードエンジンを使用した
インライン・プロセッシング
MAC、TCP、および低レイテンシーの
データ・ムーバーによる高速ソフトウェア処理

WaveNet ニューラルネットワーク

(Myrtle.ai社)

自然な音声オーディオストリームを
リアルタイムに生成できるボコーダーの
WaveNet を、16 kHz で 256 並列実装
インテル® Stratix® 10 NX FPGA によって
高スループット、低レイテンシーの推論を提供

gzip / zlib、gunzip

(CAST 社)

規格に準拠、複数の圧縮率オプション
100 Gbps 以上のレベル 1 オプション
(インテル® Stratix® 10 FPGA 1SG2800)
静的 / 動的ハフマン符号化
マルチキューのダイレクト・メモリー・
アクセス (DMA) エンジン / ドライバー

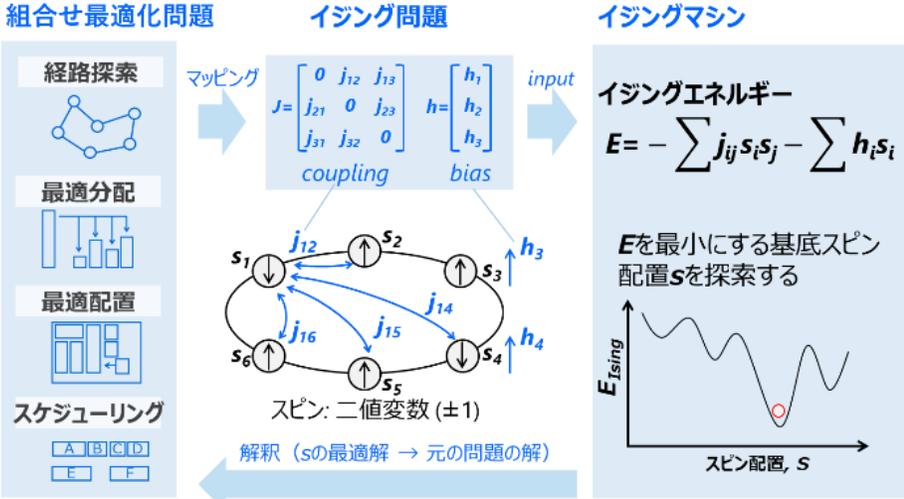
アプリケーション例: インテル® FPGA PAC で実現する疑似量子計算機 シミュレーテッド分岐マシン™ (株式会社 東芝様)



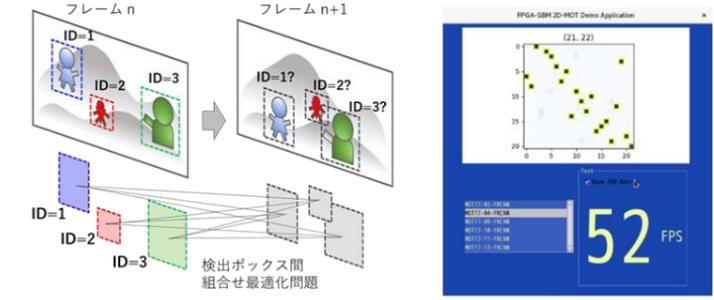
量子コンピュータの理論から
生まれた、シミュレーテッド分岐
(SB) アルゴリズムという並列計算
に適した独自のアルゴリズムを、
インテル® PAC D5005を活用し、
超並列実装

特徴

- SB に特化したカスタムメイドの
超高密度・超高速実装
- SB アルゴリズムの並列性を活かした空間並列化
 - 逐次処理部分における時間並列化 (パイプライン化)
- 完全なハードワイヤ化により、処理時間がクロックサイクルレベルで決定論的に決まる



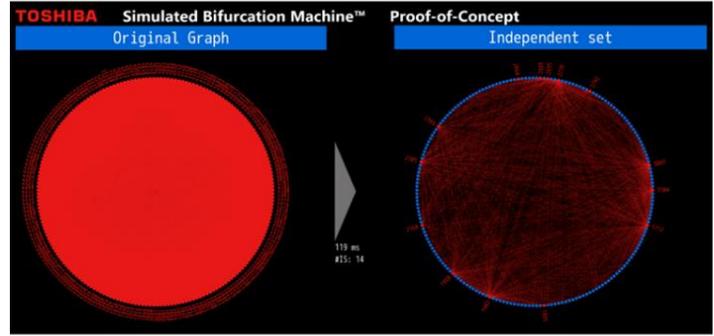
リファレンスデザイン



(a) 複数物体追跡



(b) インタラクティブ最短巡回経路探索

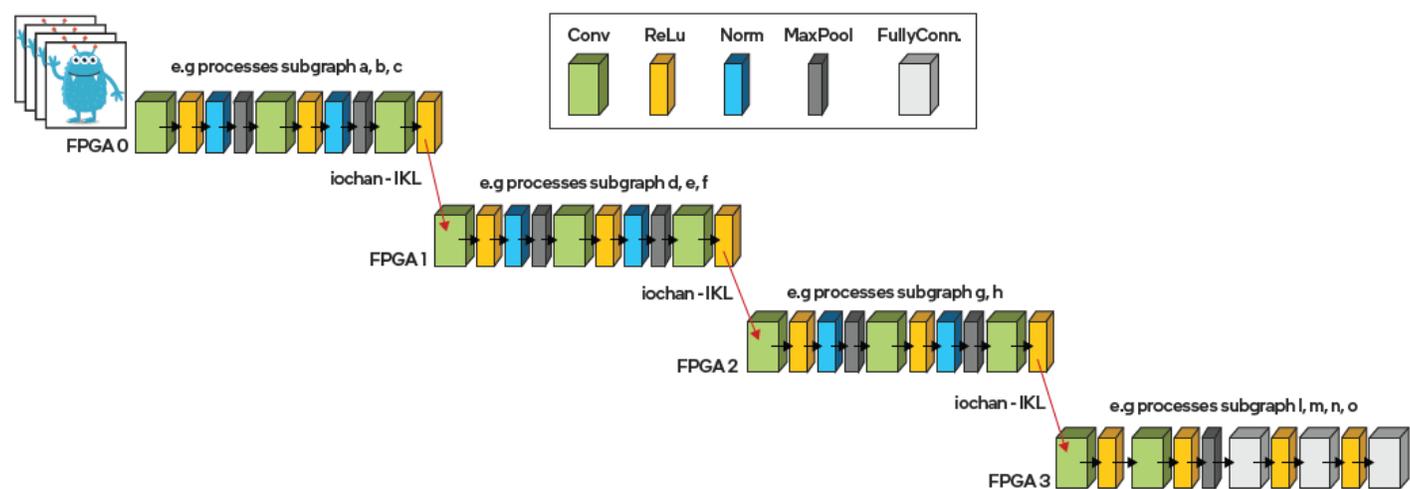
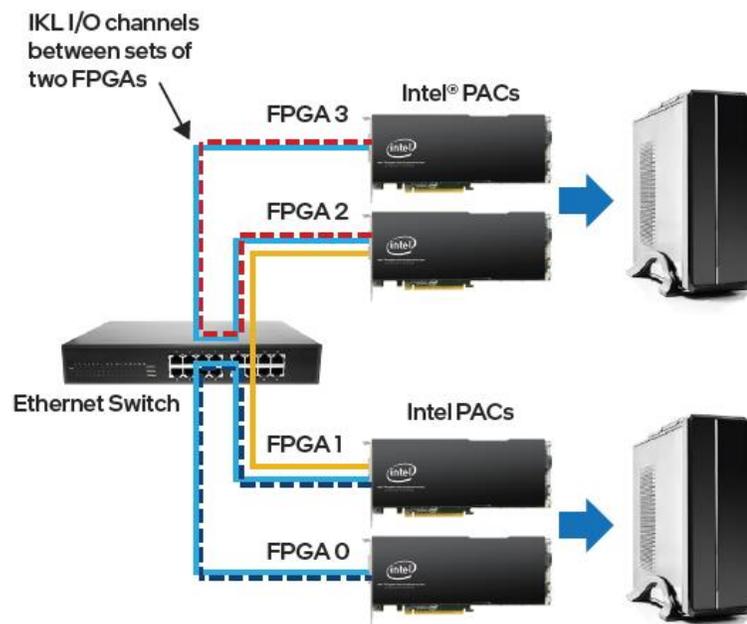


(c) ストリームデータ処理型最大独立集合検出



ホワイトペーパー： FPGA のダイレクト通信を行うカーネル間リンクソリューション

- インテル® FPGA DLA 推論エンジンを、カーネル間リンクを使用して、複数の D5005 カードでパイプライン処理
 - DLA Open CL カーネルを D5005 カードにプログラムし、ResNet152 の処理を FPGA で実施
 - CNNグラフを D5005 カードの枚数で分割することで、パフォーマンスのスケールアップが可能



<https://www.intel.com/content/dam/www/programmable/us/en/others/literature/wp/wp-01305-inter-kernel-links-for-direct-inter-fpga-communication.pdf>

FPGAカード製品

ワークロード・アクセラレーション、ネットワーク、ストレージなど用途に応じたカードをご提案

インテル® FPGA SmartNIC N6000 プラットフォーム



- QSFP56 x2 インターフェイスで最大 100GbE x2 のネットワーキングをサポート
 - SyncE、CPRI、eCPRI をサポート
 - O-RAN LLS-C1/-C2/-C3 のサポート
- 4G & 5G vRAN
イネーブルメント・パッケージ
- OVS、Contrail、SRv6、vFW
アクセラレーションのサポート

インテル® FPGA IPU C5000X-PL (OVS, ストレージ)



- インテル® Xeon® D プロセッサ +
FPGA プラットフォーム、
ハードウェア・プログラマブル・
データパスを提供
- ストレージ / 仮想スイッチの
ワークロードオフロード

BittWare IA-840F インテル® Agilex™ F-Series FPGA 搭載 FPGA Accelerator PCIe カード



- インテル® Agilex™
AGF027 FPGA (2.6M LE)
- インテル® oneAPI サポート
- ハイパフォーマンス I/O
 - 3x QSFP-DD
インターフェイスポート
 - PCIe Gen4 x16
ホストインターフェイス
- さまざまなアプリケーション向け
のMCIO 拡張ポート

Silicom FPGA SmartNIC N5010 (HBM搭載, ネットワーク・オフロード)



インテル® イーサネット

- ハードウェア・プログラマブル
4x100GE FPGA アクセラレーション
を実装する初の SmartNIC
- 5G コア・ネットワーク (UPF)、
アクセス・ゲートウェイ (BNG、AGF)、
セキュリティ機能 (ファイアウォール、
IPsec) のパフォーマンスとス
ケーリングのニーズに対応。
- 機能 / アクセス・ゲートウェイ機能、
その他のワークロード

インテル® オープン FPGA スタック (インテル® OFS)

ハードウェア

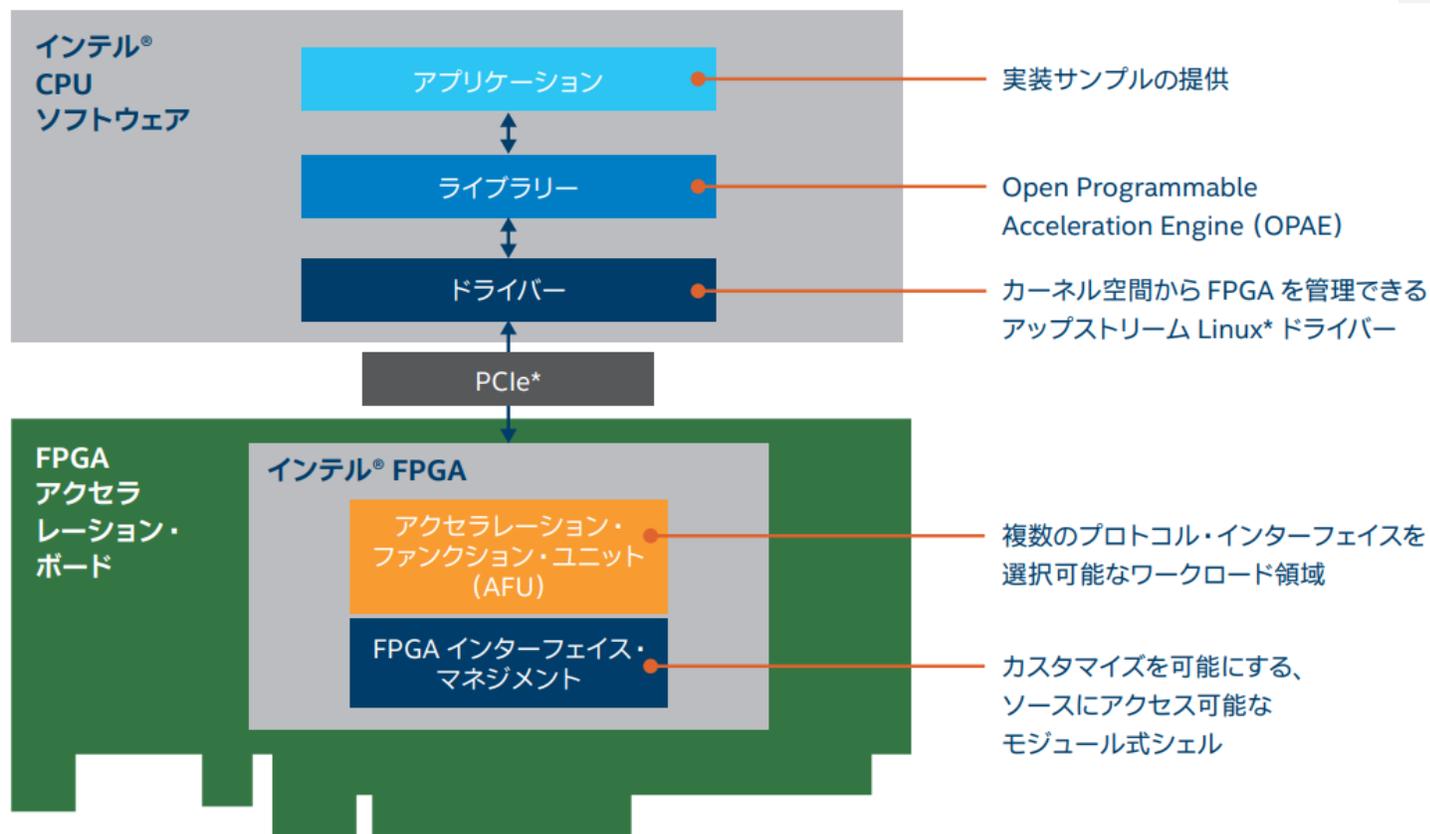
- FPGA インターフェイス・マネージャー (FIM)
- ワークロード開発のためのアクセラレーション・ファンクション・ユニット (AFU) 領域とサンプルAFU
- ボード・マネジメント・コントローラ (BMC)
- ハイレベルデザイン言語 (HLD) への対応

ソフトウェア

- アップストリームされた、オープンソース・カーネル・ドライバ
- Open Programmable Acceleration Engine (OPAE) ライブラリ、ツール、API
- アプリケーション例

UVM テスト環境

- GitHubから検証環境を提供



Highlight of Intel FPGAs for HPC



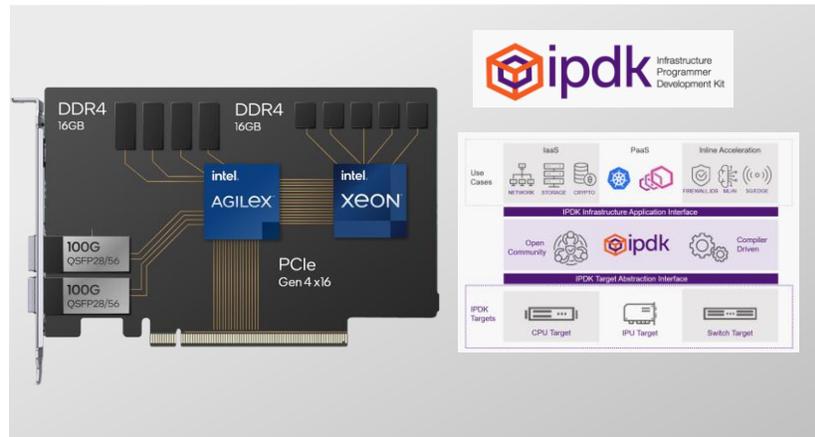
インテル®
Agilex™ FPGA



インテル®
インフラストラクチャー・
プロセッシング・ユニット



インテル® oneAPI



- ツールのバージョンアップによりパフォーマンスがさらに向上
平均 45% → 50%¹
- Compute Express Link (CXL) v1.1とPCIe* Gen4、Gen5に対応
- CXL v2.0 に対応
- HBM, NoCを搭載し、潤沢な回路リソースを用意した M-Series を Intel 7 プロセスで製造

- 高速ネットワーク、セキュリティ、ストレージ機能を Host CPU に代わり集約
- Agilex + Xeon-D SoCの新たなFPGAベース IPU の開発を発表
- Infrastructure Programmer Development Kit (IPDK) 対応により、ターゲットに依存しない開発環境を提供

- アーキテクチャー、ベンダーを越えたコードの再利用
- 標準的なプログラミング言語モデルの活用により導入、トレーニングの時間を改善
- Githubに公開されたリファレンス & チュートリアル・デザイン

1.インテル® Stratix® 10 FPGA との比較。
現在の推定値に基づく。構成の詳細については補足資料をご参照下さい。
性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、
<http://www.intel.com/benchmarks/>(英語)を参照してください。

インテル® Agilex™ FPGA



インテル® Agilex™ FPGA : データセントリックの世界に対応する FPGA

データの
処理

第2世代
インテル®
Hyperflex™
アーキテクチャー

平均
50%
性能が
向上^{1,2}

最大
40%
消費電力を
削減^{1,2}

クアッドコア
Arm Cortex-A53 プロセッサ

データの
格納

DDR4/5 &
HBM

インテル® Optane™
パーシステント・メモリーの
サポート

データの
転送


PCIe Gen 4 / Gen 5

CXL v1.1、v2.0
インテル® Xeon®
スケーラブル・プロセッサ
へのコヒーレント接続



¹ インテル® Stratix® 10 FPGA との比較
² 現時点の推定値に基づく

ワークロードと構成については、補足情報セクションを参照してください。
結果は異なる場合があります。

インテル® Agilex™ FPGA 製品

F シリーズ

幅広いアプリケーションに対応

I シリーズ

高性能インテル® Xeon® プロセッサへの接続と広帯域幅を必要とするアプリケーションに対応

M シリーズ

広大なメモリー帯域幅を必要とする演算負荷の高いアプリケーションに対応

ロジック容量	LE 数: 573K ~ 2.7M	LE 数: 最大 4M	LE 数: 最大 3.85M
オンチップメモリー	5 ~ 35MB	最大 48MB	最大 46MB
DSP ブロック数	最大 8,000	最大 12,500	最大 12,300
トランシーバー 速度	32/58G	32/58/116G	32/58/116G
ハード PCIe	PCIe Gen4	PCIe Gen5	PCIe Gen5
オフチップメモリー	DDR4	DDR4	LP5 / DDR5、Optane™
ハード暗号 / イーサネット	200G/400GbE	200G/400GbE	400GbE
セキュリティー	三重モジュール冗長化 (TMR) ハード・プロセッサ、暗号化、ブート順序、改ざん検出		
Arm SoC	クアッドコア Arm Cortex-A53 (最大 1.41GHz)、NEON コプロセッサ、DMA、キャッシュなど		
コヒーレンシー・オプション	Compute Express Link (CXL)		
広帯域幅メモリーオプション			HBM2e

インテル® Agilex™ Mシリーズ FPGA の特徴

統合された HBM2e メモリー

最大32GB のHBM2e メモリーをパッケージ内に統合

Hard Memory Network-on-Chip (NoC)

メモリーとロジック・ファブリック間を繋ぐ、専用ネットワークを装備し、データのやり取りを高速化

プロセッサ用インターフェイス

最大16チャンネルのPCIe Gen5とCXL
インテル® Xeon® プロセッサと検証済

116 Gbps トランシーバー
業界最速のデータレート

各種通信プロトコルやラインレートに柔軟に対応

Intel® 7 プロセスをベースとした FPGA ファブリック

3.2M – 3.9M LE相当のロジック

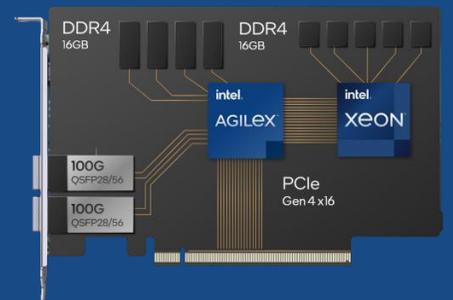
競合する7nm FPGAと比較して2倍以上のワットあたりファブリック性能*

400G イーサネット・ブロック

イーサネット・プロトコルを、高性能かつ高効率にサポート

青色はインテル® Agilex™ Mシリーズの新機能

インテル® インフラストラクチャー・ プロセッシング・ユニット (IPU)



インフラストラクチャー・プロセッシング・ユニット (IPU)

データセンターの新たな価値を提供

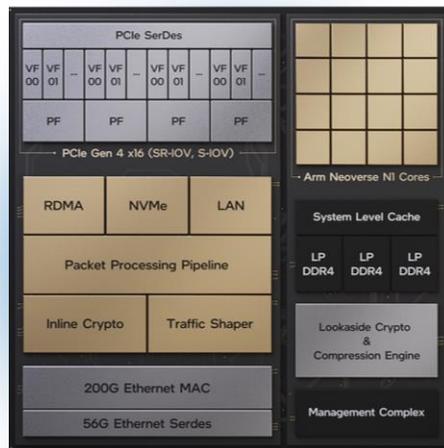
高度にインテリジェントな
インフラストラクチャー・
アクセラレーション

システムレベルの
セキュリティ、制御、分離

共通の
ソフトウェア・フレームワーク

ハードウェア / ソフトウェア・
プログラマブル、
顧客のニーズに合わせて構築

ASIC SoC IPU



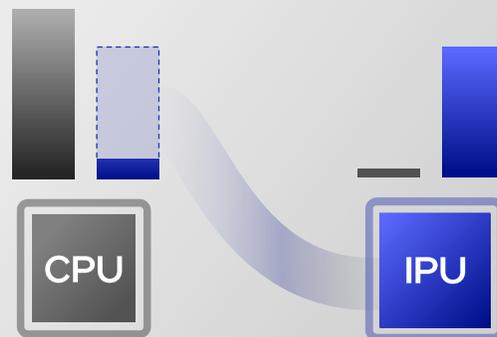
FPGA+IA プラットフォーム IPU



IPU の優位性



インフラストラクチャーと
テナント・ワークロードの
分離



インフラストラクチャー
のオフロードと最適化



柔軟なストレージ・
アーキテクチャー

ストレージと RDMA のアプリケーション

OFED RDMA (RNIC)

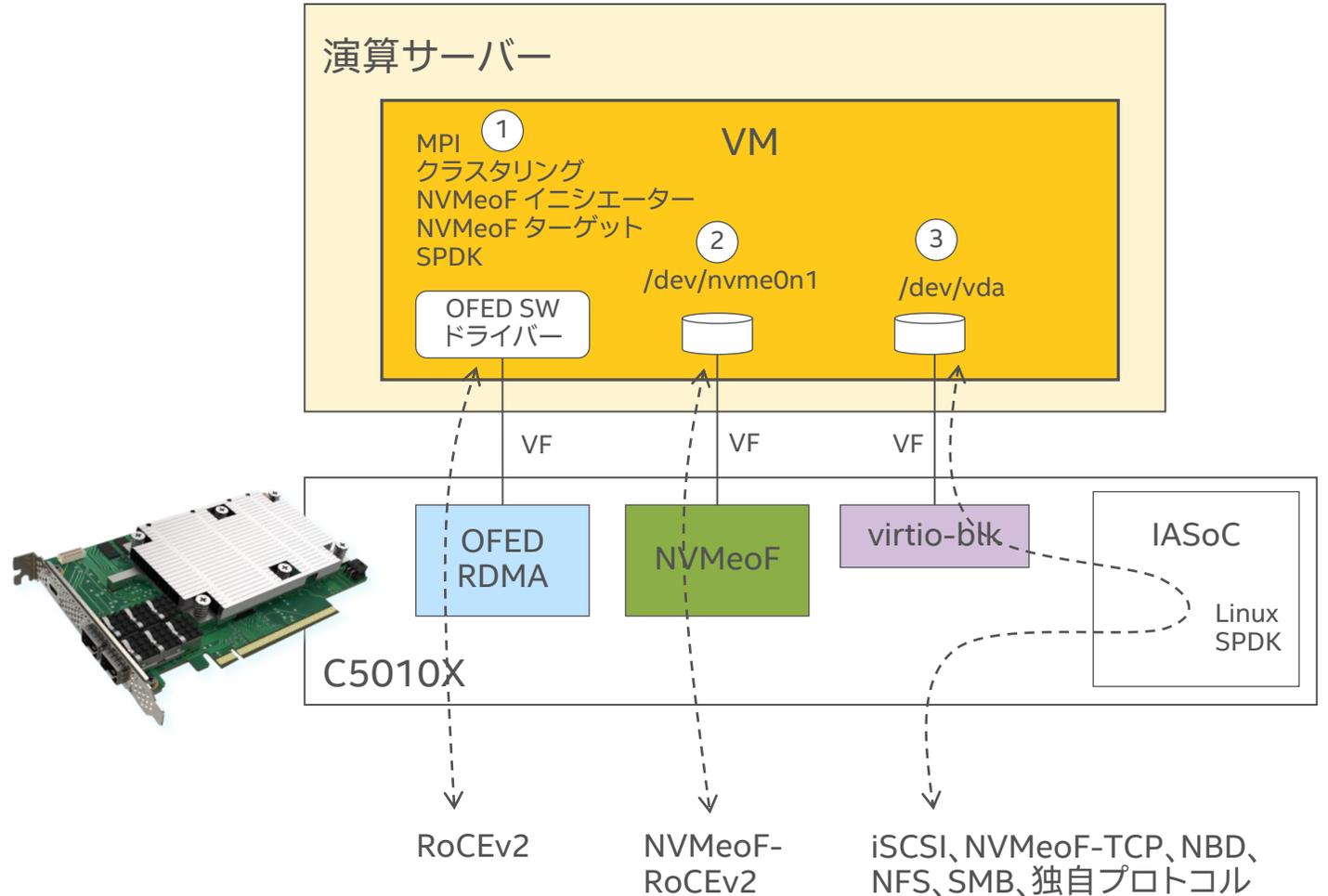
- 標準 libibverbs もしくはカーネル・アプリケーション
 - MPI, Clustering, NVMeoF, SPDK など
- 完全なハードウェア・オフロード
(ハイパーバイザーが I/O パス内にはない構成)
- RoCEv2 ワイヤードプロトコル

NVMeoF

- VM 内の PCIe NVMe ディスク (VF パススルー)
 - 標準の PCIe NVMe ドライバー
- 完全なハードウェア・オフロード
(ハイパーバイザーが I/O パス内にはない構成)
- NVMeoF-RoCEv2 ワイヤードプロトコル

virtio-blk

- VM 内のブロックディスク (VF パススルー)
 - 標準の virtio-blk ドライバー
- SoC ソフトウェア・オフロード
(ハイパーバイザーが I/O パス内にはない構成)
- SoC ソフトウェアで任意のプロトコルを実行
 - iSCSI, NVMeoF-TCP, NBD, NFS, SMB など



インテル® FPGA IPU

Oak Springs Canyon

200G FPGA + Intel® アーキテクチャー
インテルの第2世代 FPGAベース IPU プラットフォーム



- ワークロードとストレージ機能のネットワーク仮想化機能オフロード
Ex: OvS, NVMe over fabric, RoCE v2
- インテル® オープン FPGA スタック
- x86に最適化された DPDK and SPDK によるプログラミング
- ハードエンドの暗号化ブロックを持つ高速な 2x 100GE インターフェイス
- VirtIO をハードウェアでサポートし、Linux のネイティブサポートを実現

Intel® FPGA IPU C5000X-PL

50G FPGA + Intel® アーキテクチャー
ハイパフォーマンス FPGAベースのクラウド・インフラストラクチャー・
アクセラレーション・プラットフォーム



- ワークロードとストレージ機能のネットワーク仮想化機能オフロード
Ex: OvS, NVMe over fabric, RoCE v2
- x86に最適化された DPDK and SPDK によるプログラミング
- 2x 25GE インターフェイス
- VirtIO をハードウェアでサポートし、Linux のネイティブサポートを実現
- 量産可能なソリューションを ODMパートナー様から提供

インテル® インフラストラクチャー・プロセッシング・ユニット ロードマップ

オープン コミュニティ



オープン・ソフトウェア・
エコシステム

エコシステムの構築と拡大により、幅広い普及を実現

クラウド、通信
エンタープライズ、
他領域にも適用を拡大

2022



Leading Today

2023 / 2024



Announcing

2025+



Next Gen

リーダーシップ・
ポートフォリオ

インテル® oneAPI

The Intel logo consists of a series of blue squares of varying sizes arranged in a descending staircase pattern from the top left to the bottom right.

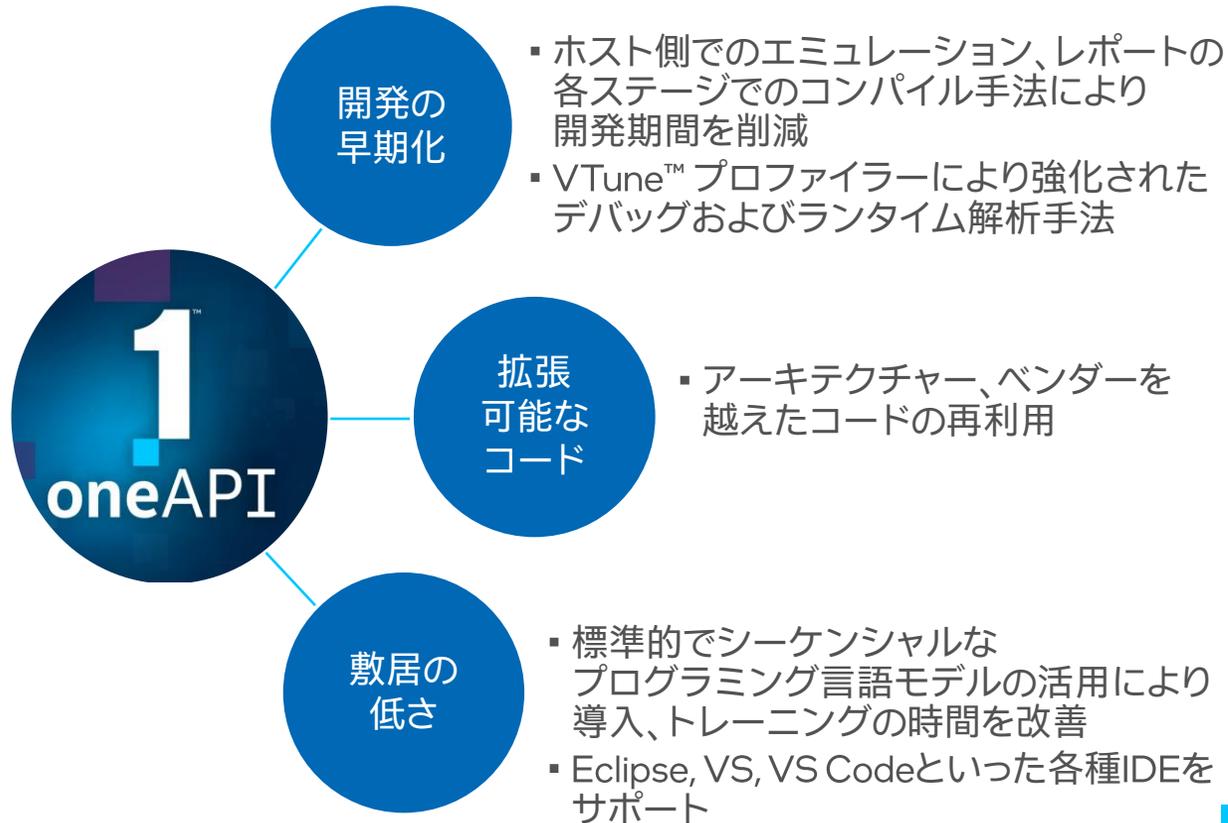
intel®

The oneAPI logo features a large blue number '1' with a small blue square at its base, positioned above the text 'oneAPI' in a white box.

oneAPI

インテル® oneAPI プロダクト

インダストリー・イニシアチブ

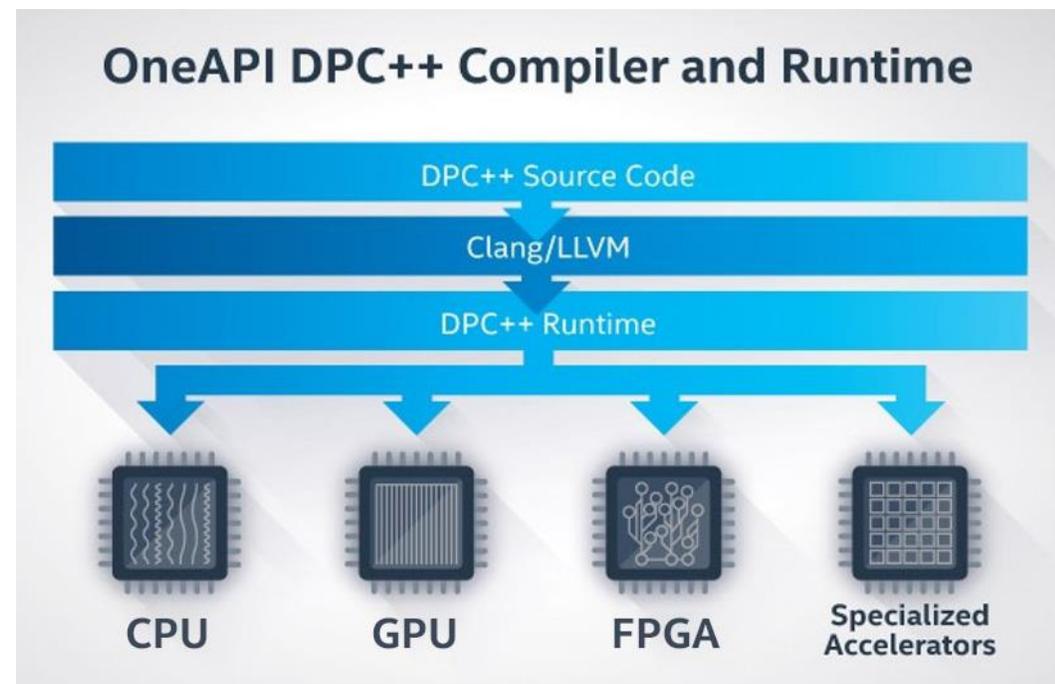


[Available Now](#)

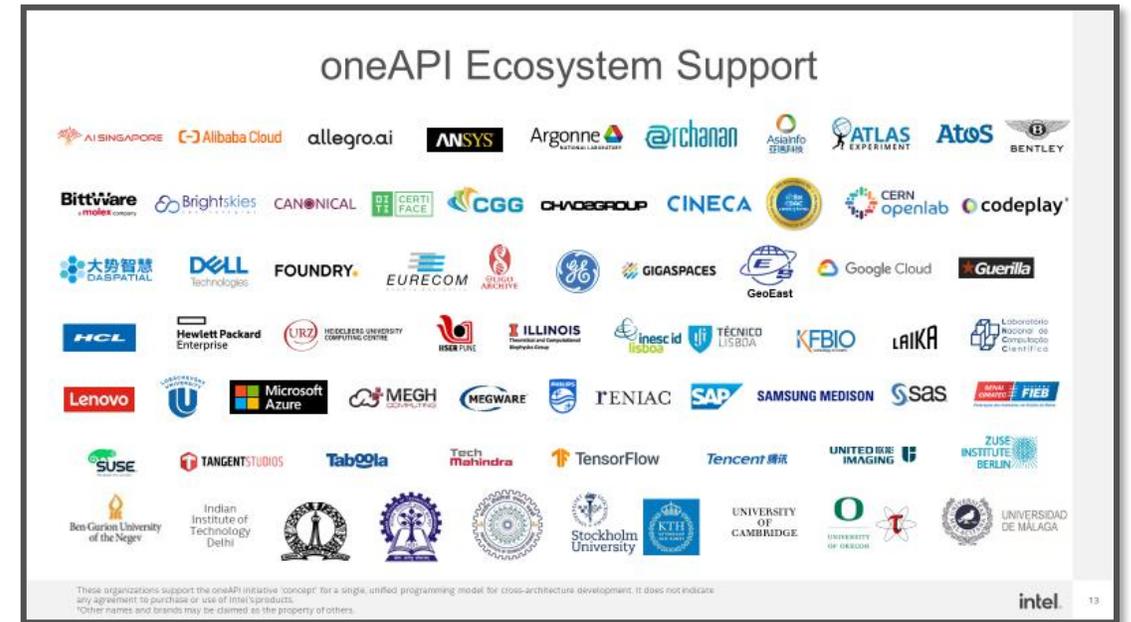
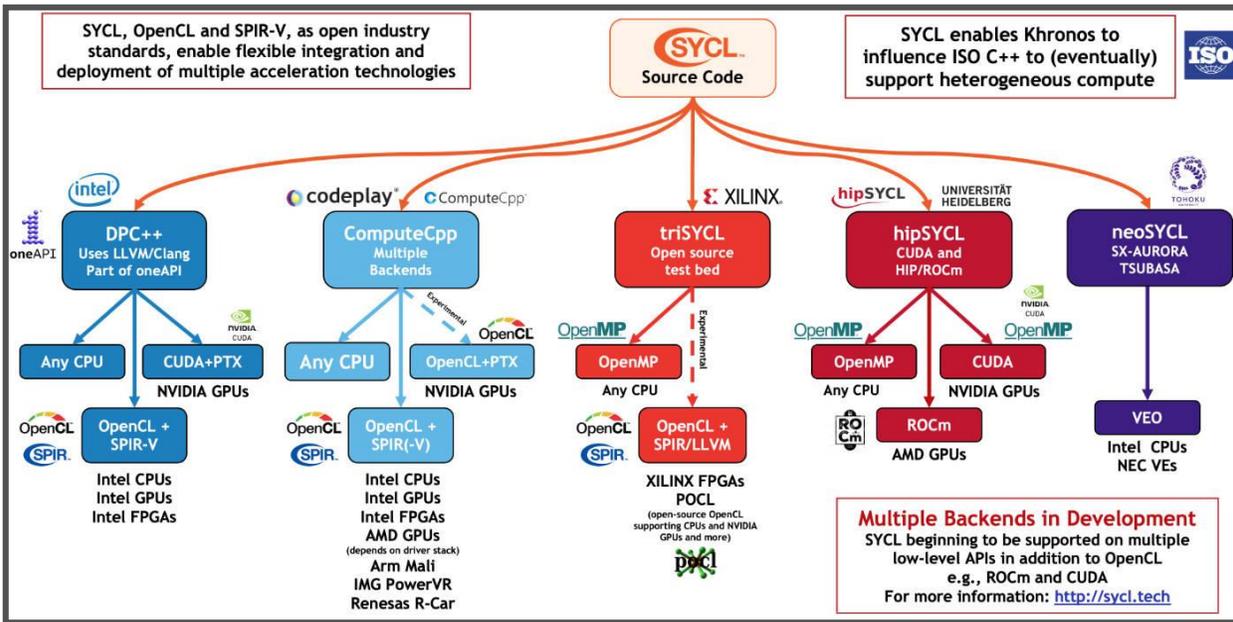
インテル® oneAPI DPC++ コンパイラー

並列プログラミングの生産性とパフォーマンス

- CPUとアクセラレーターの両方で並列プログラミングの生産性を引き出すことが可能
 - 単一アーキテクチャーの独自言語に代わる、業界間で共通のオープン言語
- ベースは最新規格のC++とSYCL*
 - 広く採用されている慣れ親しんだCやC++の構造により、C++の生産性メリットを活用
- アーキテクチャーと高性能コンパイラーにおけるインテルの数十年にわたる経験を基に構築



SYCL and oneAPI プロダクト・エコシステム

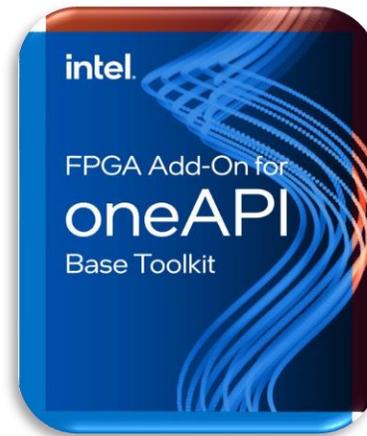


Source: <https://www.khronos.org/sycl/>

Getting Started with oneAPI on FPGA



+



インテル® oneAPI
ベース・ツールキット

oneAPI ベース・ツールキット用
インテル FPGA アドオン

FPGA エミュレーション機能
とレポート生成

FPGA のビットストリーム生成機能

インテル® oneAPI DevCloud 上のプログラマブル・アクセラレーション・カードで FPGA ワークロードを実行いただくことが可能です。

リファレンス & チュートリアル・デザイン

インテル® oneAPI の FPGA 実装をすぐに始められます

oneAPI Github

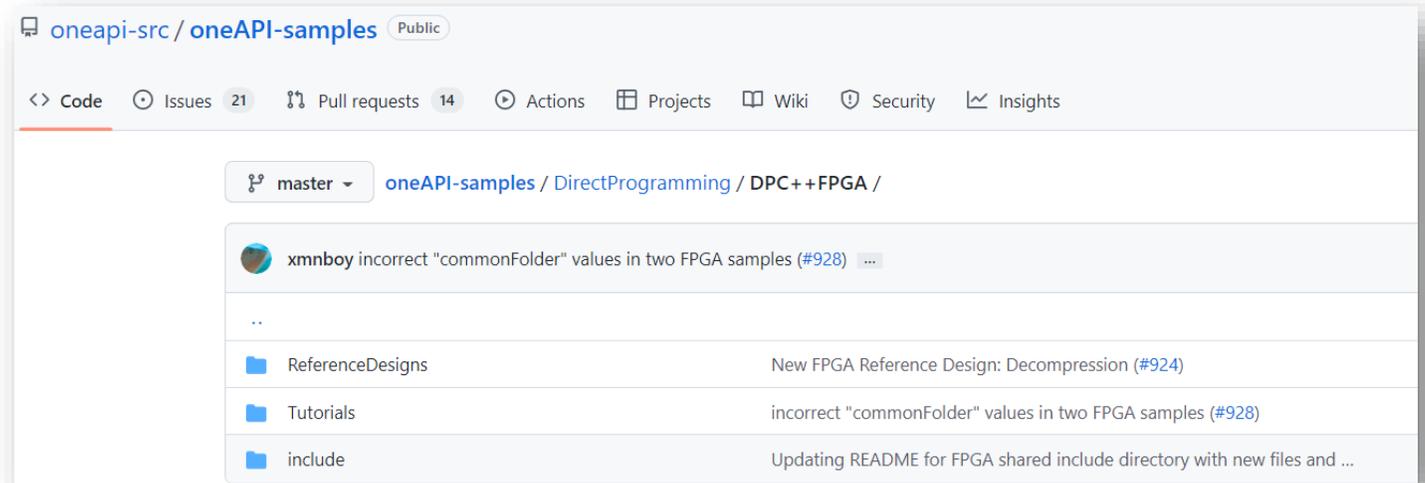
- oneAPIの仕様とソースコード

リファレンスデザイン

- 圧縮、金融計算、信号処理などのリファレンスデザイン

チュートリアル

- 入門編、一般的なデザインパターン、機能、ツールの機能のデモ実例



<https://github.com/oneapi-src/oneAPI-samples/tree/master/DirectProgramming/DPC%2B%2BFPGA>

インテル® Vtune プロファイラー

ランタイム解析

Data Parallel C++ (DPC++) コードの解析

- DPC++ コード上で処理時間がかかっているラインの確認

インテルの CPU, GPU & FPGA 向けのチューニング

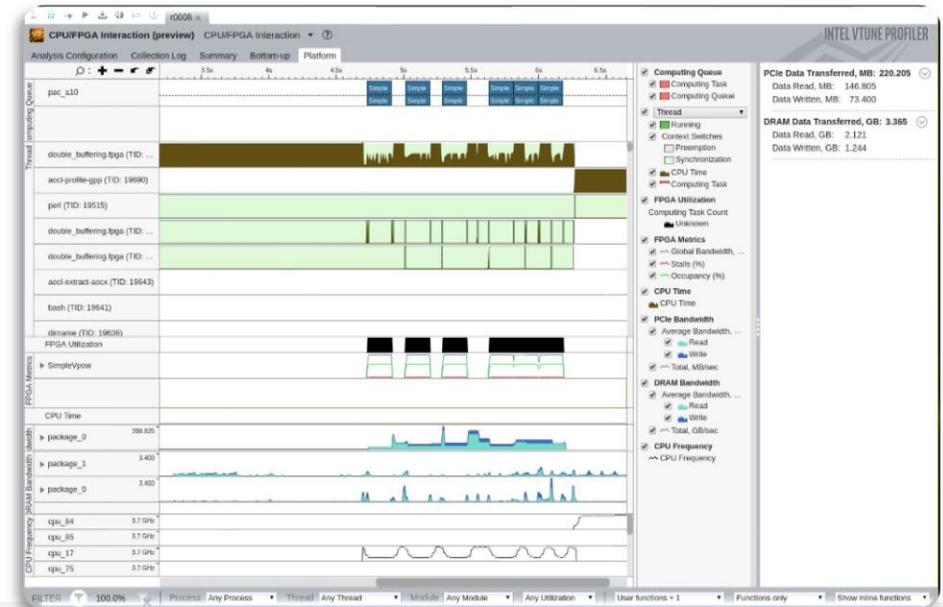
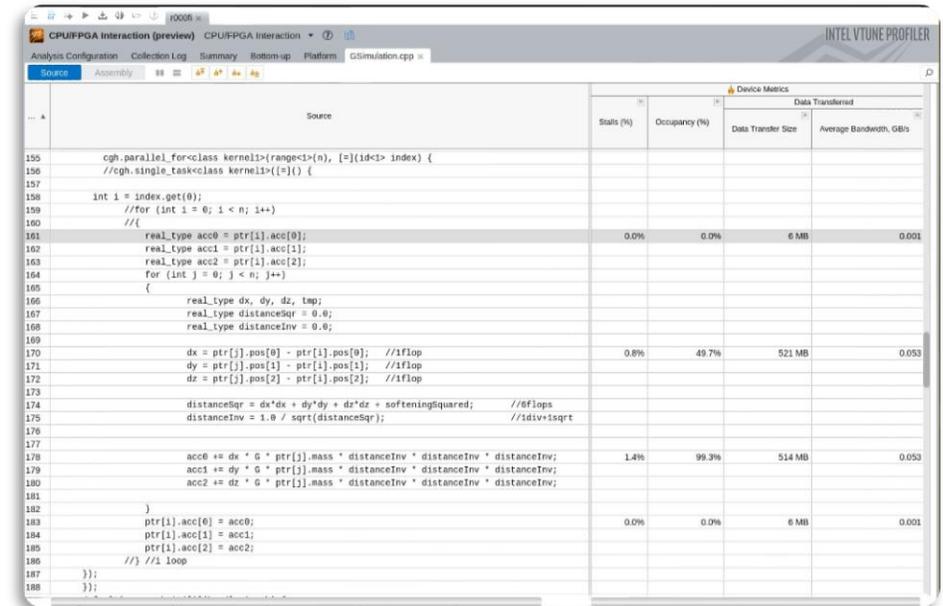
- サポートされたハードウェア・アクセラレーターの最適化
- メモリーとパイプアクセスに関する詳細な統計情報を表示 (ソースビュー形式 および タイムライン形式)

オフロードの最適化

- CPU/FPGA インタラクション・ビューを利用してパフォーマンス情報を確認
- カーネルプログラムの実行プロセス全体をグラフィカルに表示 (ホスト側とデバイス側、両方のイベントを表示)

多様なパフォーマンス・プロファイル

- CPU, GPU, FPGA, スレッド, メモリー, キャッシュ, ストレージなど



まとめ



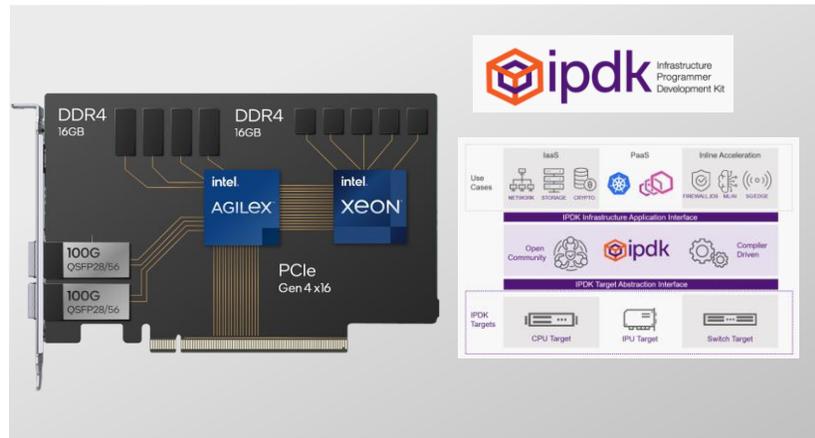
インテル®
Agilex™ FPGA



インテル®
インフラストラクチャー・
プロセッシング・ユニット



インテル® oneAPI



- ツールのバージョンアップによりパフォーマンスがさらに向上
平均 45% → 50%¹
- Compute Express Link (CXL) v1.1と PCIe* Gen4、Gen5に対応
- CXL v2.0 に対応
- HBM, NoC を搭載し、潤沢な回路リソースを用意した M-Series を Intel 7 プロセスで製造

- 高速ネットワーク、セキュリティ、ストレージ機能を Host CPU に代わり集約
- Agilex + Xeon-D SoCの新たな FPGAベース IPU の開発を発表
- Infrastructure Programmer Development Kit (IPDK) 対応により、ターゲットに依存しない開発環境を提供

- アーキテクチャー、ベンダーを越えたコードの再利用
- 標準的なプログラミング言語モデルの活用により導入、トレーニングの時間を改善
- Githubに公開されたリファレンス & チュートリアル・デザイン

1.インテル® Stratix® 10 FPGA との比較。
現在の推定値に基づく。構成の詳細については補足資料をご参照下さい。
性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、
<http://www.intel.com/benchmarks/>(英語)を参照してください。

インテル® Agilex™ FPGA の性能 / の詳細

1. インテル® Stratix® 10 FPGA と比較して平均で 50% 性能向上

- インテル® Quartus® Prime 開発ソフトウェア 21.3 を使用して、インテル® Stratix® 10 デバイスで達成された最大動作周波数 (Fmax) とインテル® Agilex™ デバイスで達成された Fmax を比較した、サンプル・デザイン・スイートのテストに基づいています。2021年8月に実施されたテストでは、インテル® Agilex™ FPGA の同等の低速 / 中程度のスピードグレードで動作するデザインは、インテル® Stratix® 10 デバイスの最も一般的なスピードグレードで動作する同じデザインと比較して、幾何平均で 50% 高い Fmax を示しています。

免責事項

インテルは、明示されているか否かにかかわらず、いかなる保証もいたしません。ここにいう保証には、商品適格性、特定目的への適合性、および非侵害性の黙示の保証、ならびに履行の過程、取引の過程、または取引での使用から生じるあらゆる保証を含みますが、これらに限定されるわけではありません。

性能の測定結果は、システム構成に記載された日付時点のテストに基づいています。また、現在公開中のすべてのアップデートが適用されているとは限りません。構成の詳細については、補足資料を参照してください。絶対的なセキュリティを提供できる製品またはコンポーネントはありません。

結果は推定またはシミュレーションに基づいています。

実際のコストや結果は異なる場合があります。

インテルのテクノロジーを使用するには、対応したハードウェア、ソフトウェア、またはサービスの有効化が必要となる場合があります。

本資料に記載されているインテル製品に関する侵害行為または法的調査に関連して、本資料を使用または使用を促すことはできません。本資料を使用することにより、お客様は、インテルに対し、本資料で開示された内容を含む特許クレームで、その後に作成したものについて、非独占的かつロイヤルティ無料の実施権を許諾することに同意することになります。

本資料は、(明示されているか否かにかかわらず、また禁反言によるとよらずにかかわらず) いかなる知的財産権のライセンスも許諾するものではありません。

本資料に記載されているインテル製品には、エラッタと呼ばれる設計上の不具合が含まれている可能性があり、公表されている仕様とは異なる動作をする場合があります。現在確認済みのエラッタについては、インテルまでお問い合わせください。

インテルは、サードパーティーのデータについて管理や監査を行っていません。ほかの情報も参考にしてデータの正確さを評価してください。

Intel、インテル、Intel ロゴ、Agilex、Arria、Cyclone、Optane、MAX、Stratix、VTune、Xeon は、アメリカ合衆国および / またはその他の国における Intel Corporation またはその子会社の商標です。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

©2021 Intel Corporation. 無断での引用、転載を禁じます。

FPGA Cluster & FPGA as a service in Worldwideの出典

- Univ Paderborn : Noctua 1 & 2
<https://pc2.uni-paderborn.de/hpc-services/available-systems/noctua1>
<https://pc2.uni-paderborn.de/hpc-services/available-systems/noctua2>
- Jülich Supercomputing Centre: DEEP-EST cluster
https://fz-juelich.de/ias/jsc/EN/Expertise/Supercomputers/DEEP-EST/_node.html
- CERN: LHCb
<https://go.web.cern.ch/go/7mvK>
- Barcelona Supercomputing Center: LEGaTO
<https://www.bsc.es/research-and-development/projects/legato-low-energy-toolset-heterogeneous-computing>
- Boston Univ: Open Cloud FPGA Testbed
<https://par.nsf.gov/servlets/purl/10295514>
- Microsoft: Azure
<https://www.microsoft.com/en-us/research/project/project-catapult/>
- AWS: f1
<https://aws.amazon.com/jp/ec2/instance-types/f1/>
- Luxembourg: Meluxina Supercomputer
https://irp.cdn-website.com/ffe01d68/files/uploaded/D1.%204M2b.%20MELUXINA%20Tutorial_Valentin%20Plugaru.pdf
- Alibaba Cloud: FPGA as a Service
<https://www.alibabacloud.com/help/en/fpga-based-ecs-instance>
- Riken : Fugaku (ESSPER)
https://www.r-ccs.riken.jp/exhibit_contents/SCA22/research_computer/team_files/sano/index.html
- Univ. of Tsukuba : Cygnus
<https://www.ccs.tsukuba.ac.jp/wp-content/uploads/sites/14/2018/12/About-Cygnus.pdf>

The Intel logo is centered on a solid blue background. It features the word "intel" in a white, lowercase, sans-serif font. A small blue square is positioned above the letter 'i'. To the right of the word "intel" is a registered trademark symbol (®).

intel®