

Domain Specific Architecture は 今どこまで来ていて、これからどこに向かうか

本日のスライドについて

- ・ハンドアウトは無駄にページ数が増えても仕方が無いので削っています
- ・前半の CS-1 技術概説は以下の記事をご覧ください
“ウェハースケールCPUの誕生 - Cerebrasのクレイジーな挑戦”, 安田豊,
Gihyo.jp, 2020/1/31
<https://gihyo.jp/news/interview/2020/01/3101>
- ・Slideshare にそのうち upload します
<https://www.slideshare.net/yutakayasuda/>

Domain Specific Architecture は
今どこまで来ていて、これからどこに向かうか

Yutaka Yasuda, Kyoto Sangyo University

By John L. Hennessy,
David A. Patterson

Communications of the ACM,
February 2019, Vol. 62 No. 2

(as 2020 Turing Lecture)

turing lecture

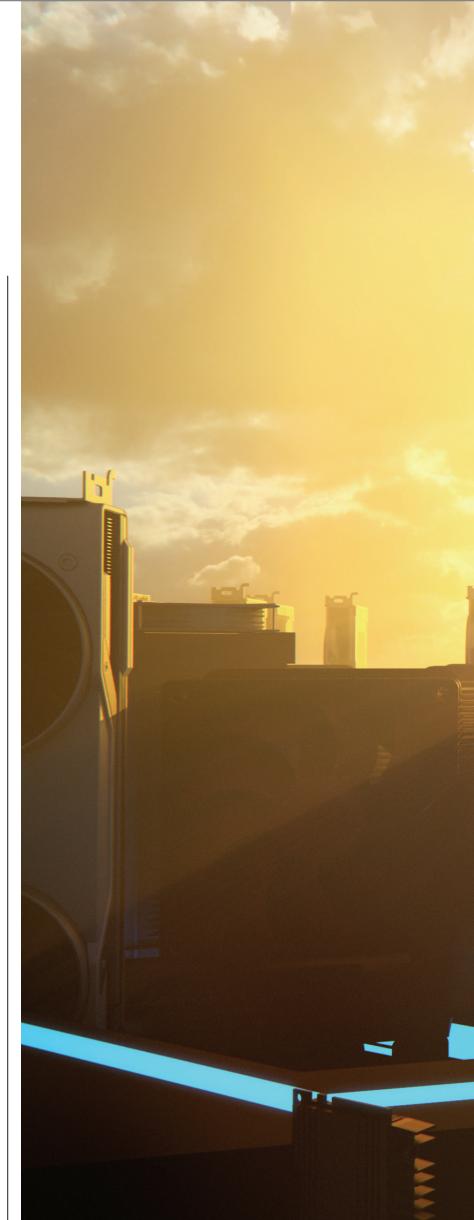
DOI:10.1145/3282307

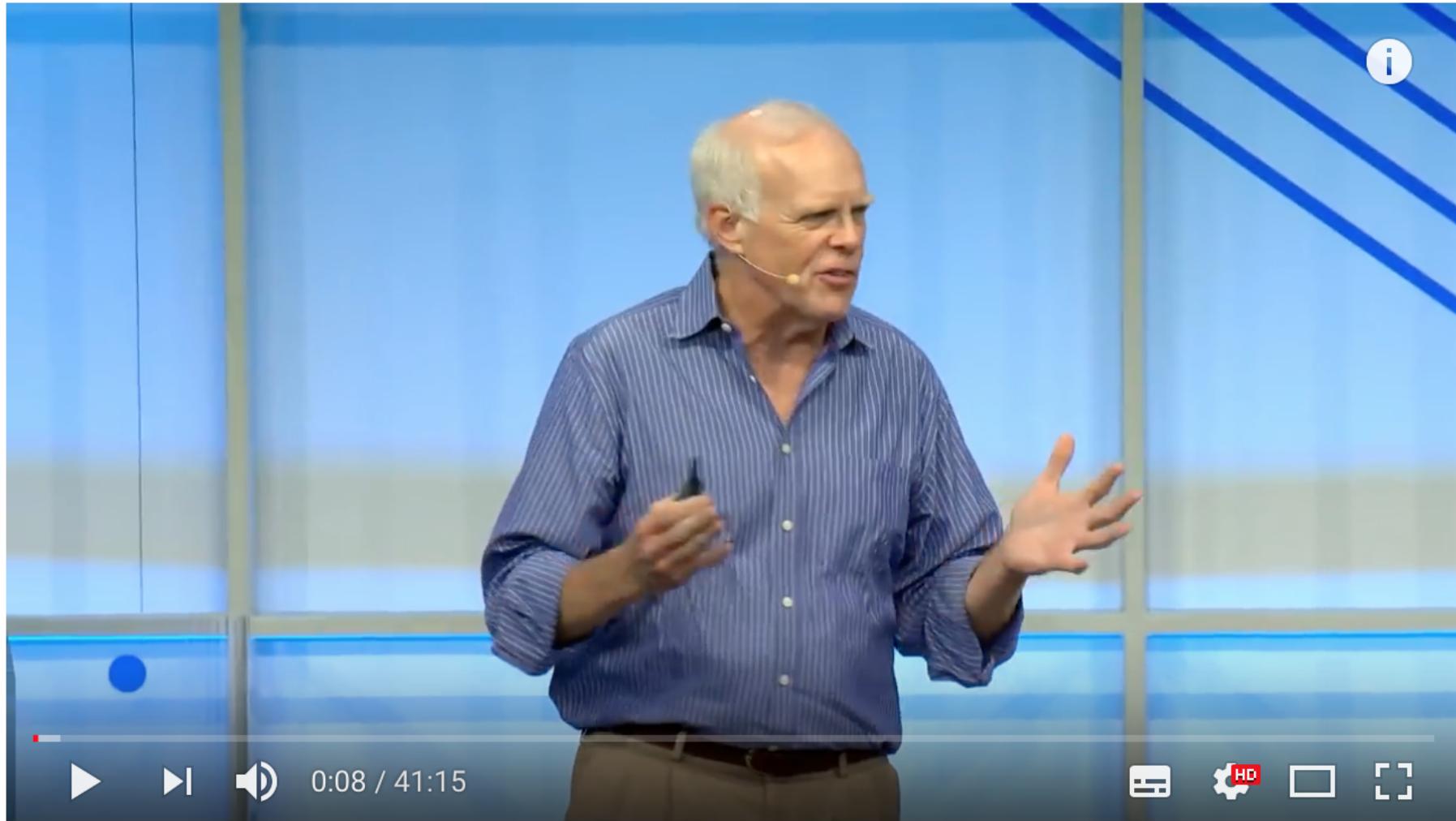
Innovations like domain-specific hardware, enhanced security, open instruction sets, and agile chip development will lead the way.

BY JOHN L. HENNESSY AND DAVID A. PATTERSON

A New Golden Age for Computer Architecture

WE BEGAN OUR Turing Lecture June 4, 2018¹¹ with a review of computer architecture since the 1960s. In addition to that review, here, we highlight current challenges and identify future opportunities, projecting another golden age for the field of computer architecture in the next decade much like the 1980s when we did the

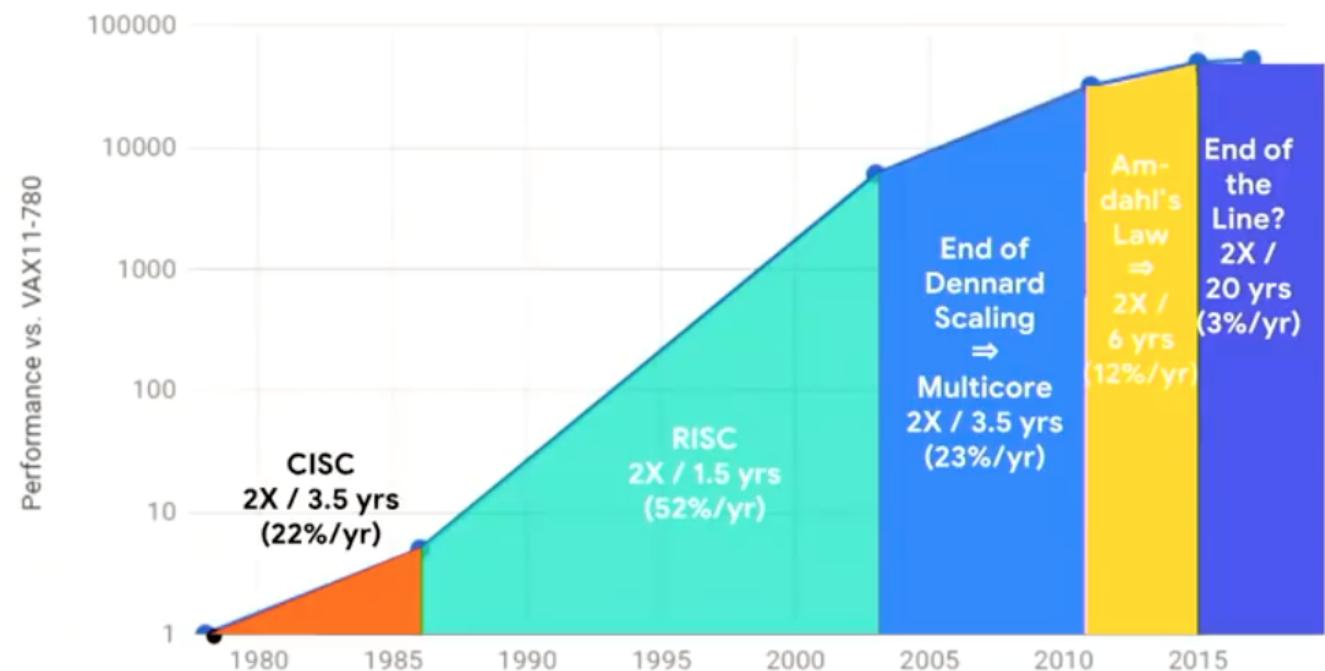




The future of computing: a conversation with John Hennessy (Google I/O '18)
<https://www.youtube.com/watch?v=Azt8Nc-mtKM>

End of Growth of Single Program Speed?

40 years of Processor Performance



Based on SPECintCPU. Source: John Hennessy and David Patterson, Computer Architecture: A Quantitative Approach, 6/e. 2018

(いわゆる post Moore's law のおはなしです)

What's Left?

SW-Centric

- Modern scripting languages are interpreted, dynamically-typed and encourage reuse
- Efficient for programmers; not for execution

HW-Centric

- Only path is Domain Specific Architectures
- Just do a few tasks, but extremely well

これこれ



いや HPC って…

- ・ 昔から Domain Specific だったけど？

そもそも目的が限られてて、それ用に設計してたよ

専用エンジン (Vector, etc) 使ってたよ

そのための言語 (拡張) も使ってたよ

Cerebras CS-1

- Neural Network 學習専用
- Single CPU

WSE - Wafer Scale Engine

- 17U



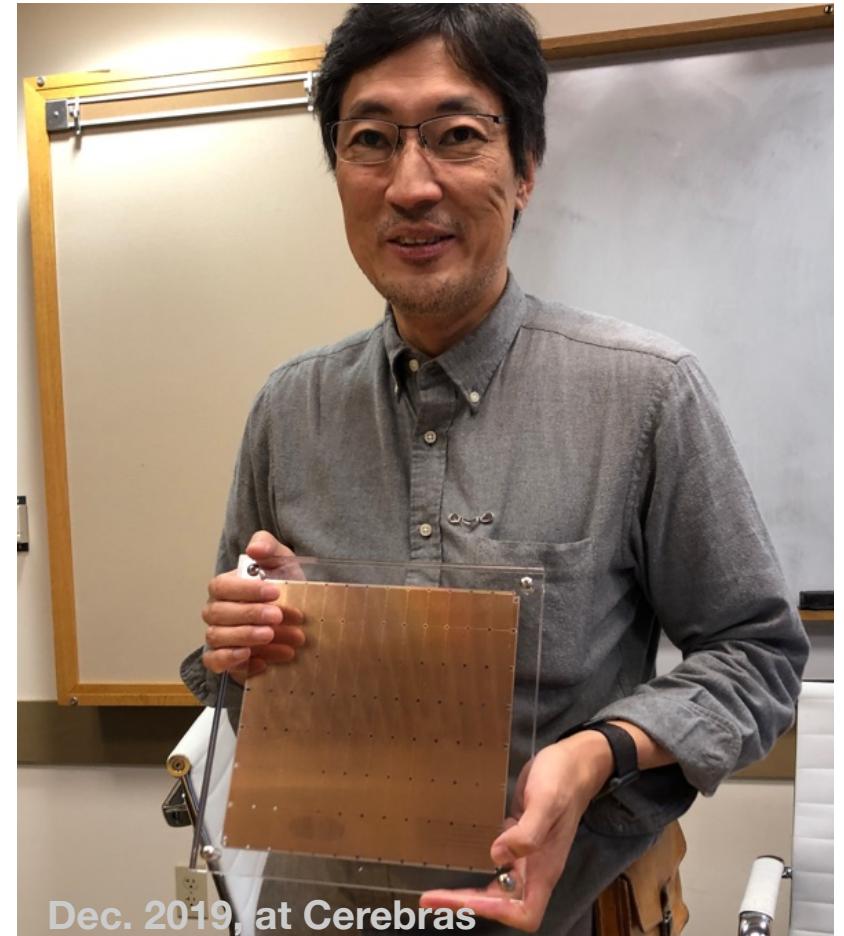
Single, but HUGE Processor

- WSE - Wafer Scale Engine

30cm Wafer まるごと

400,000 cores

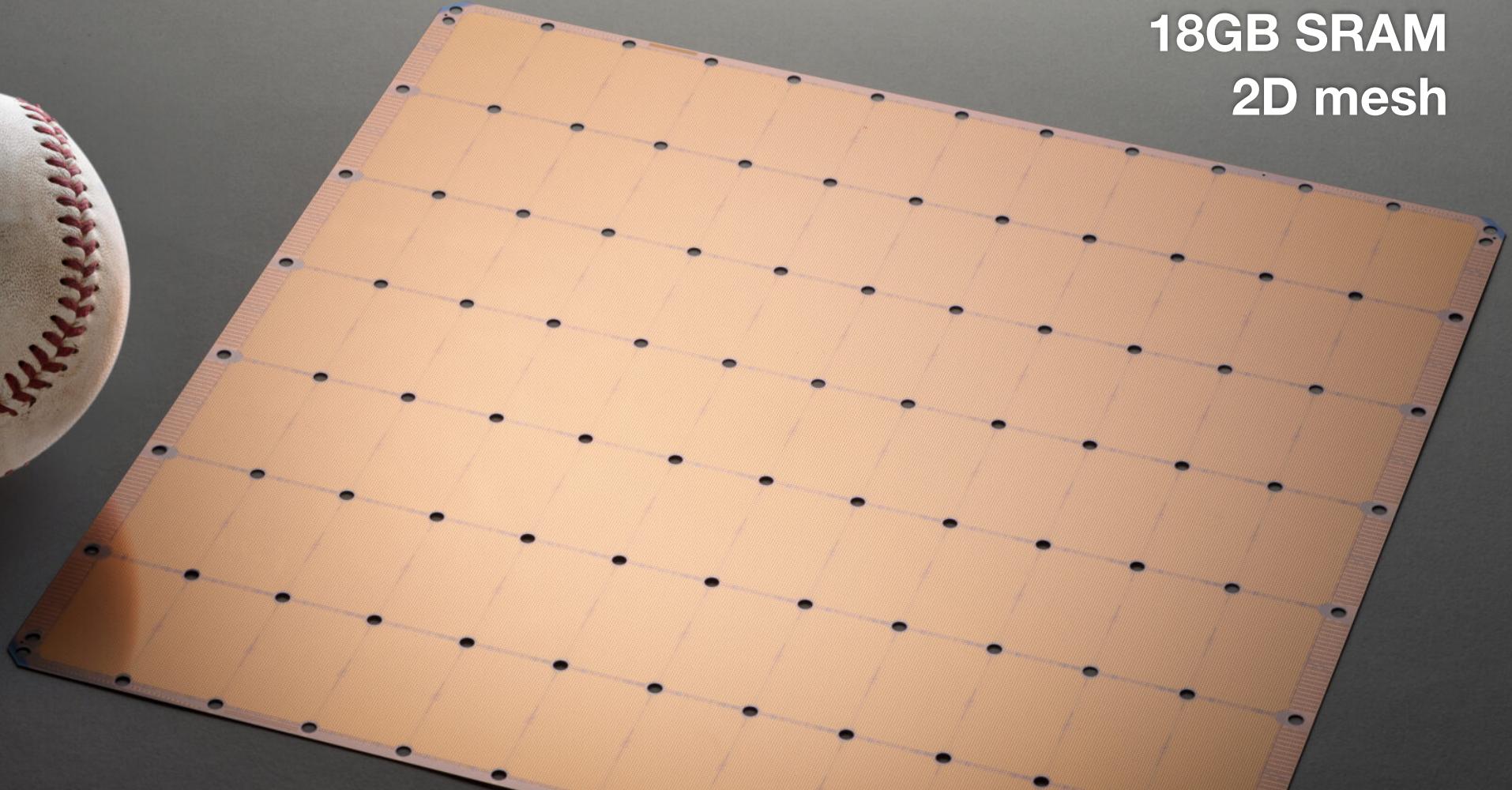
二次元メッシュで PE 間接続



Dec. 2019, at Cerebras

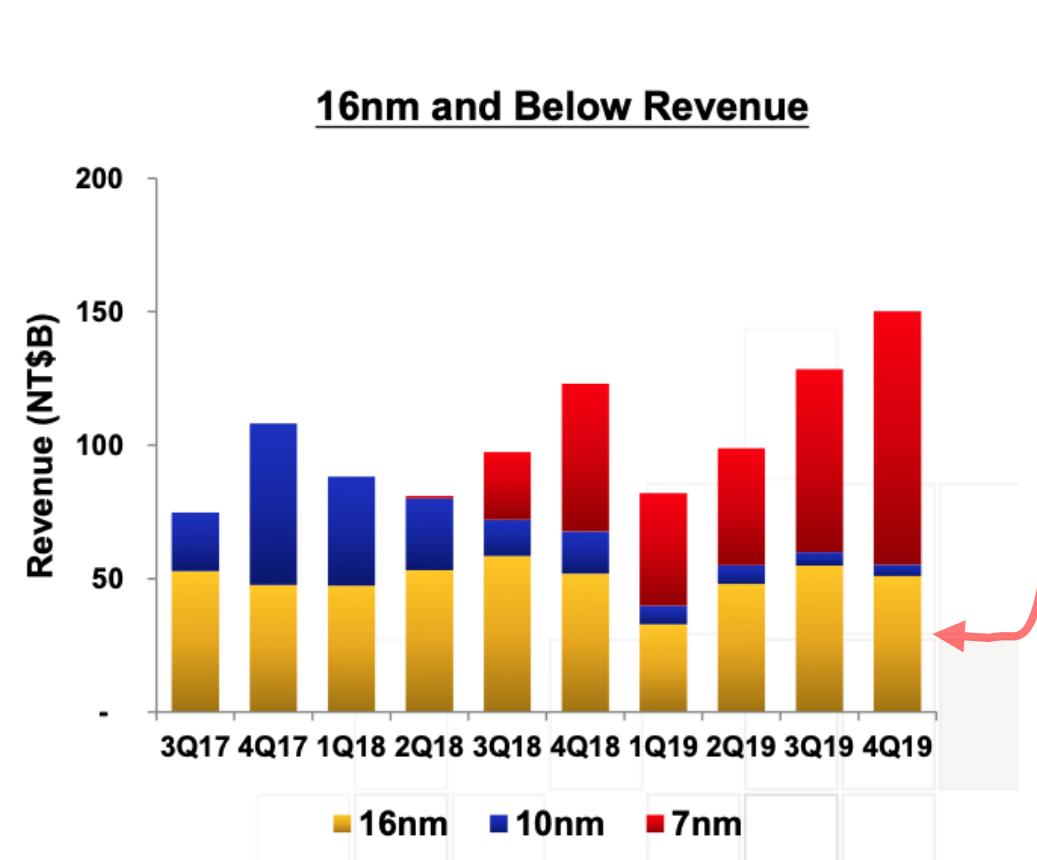
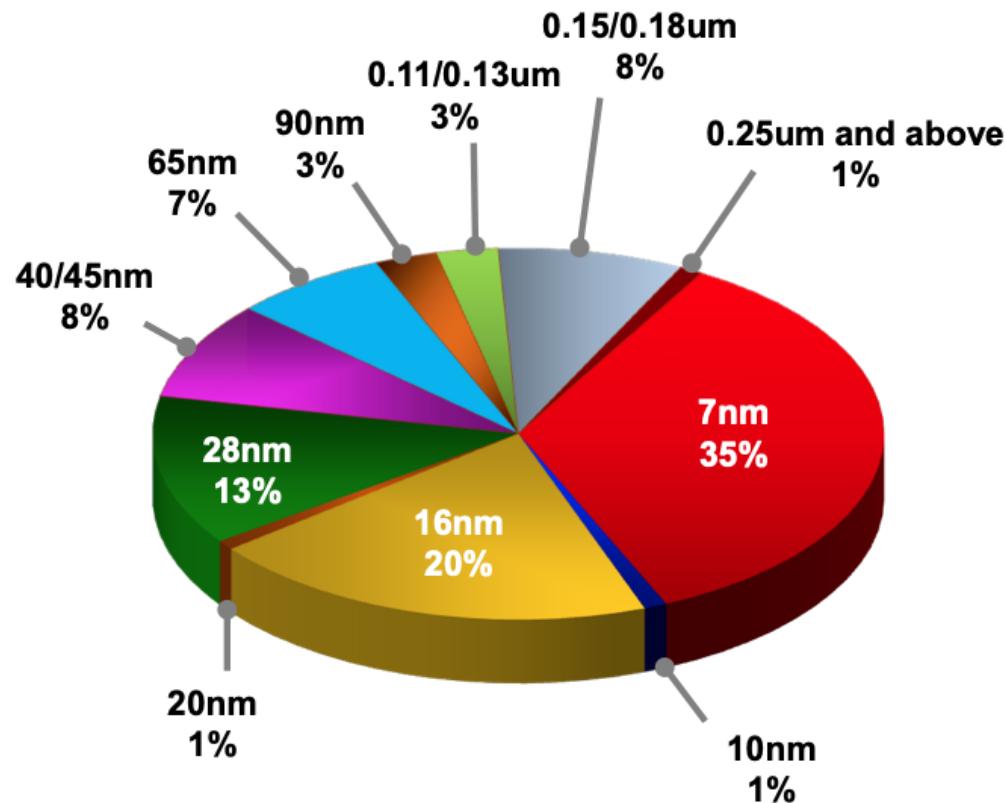
WSE - Wafer Scale Engine

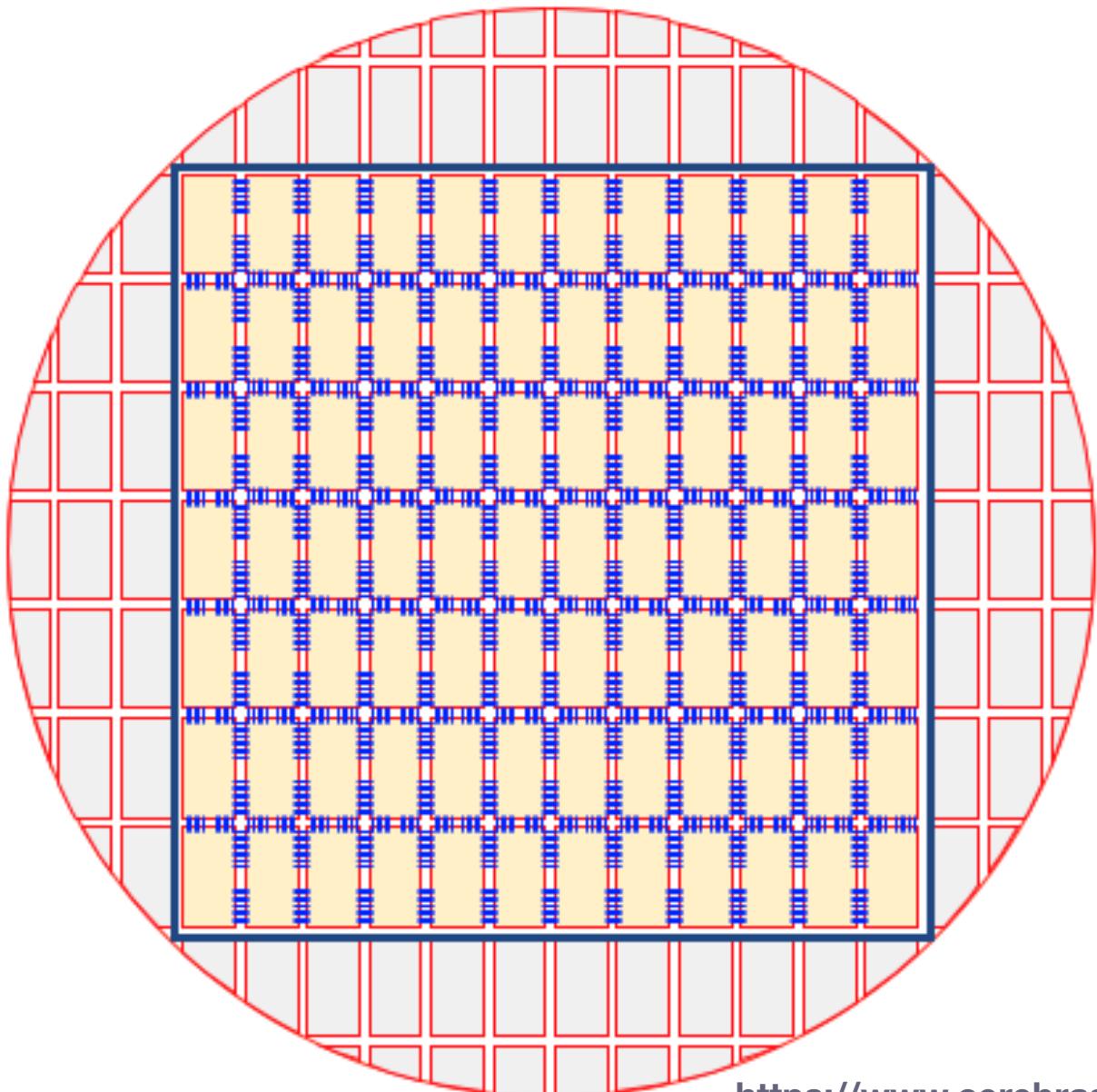
TSMC 16nm FinFET
400,000 PEs
18GB SRAM
2D mesh



4Q19 Revenue by Technology

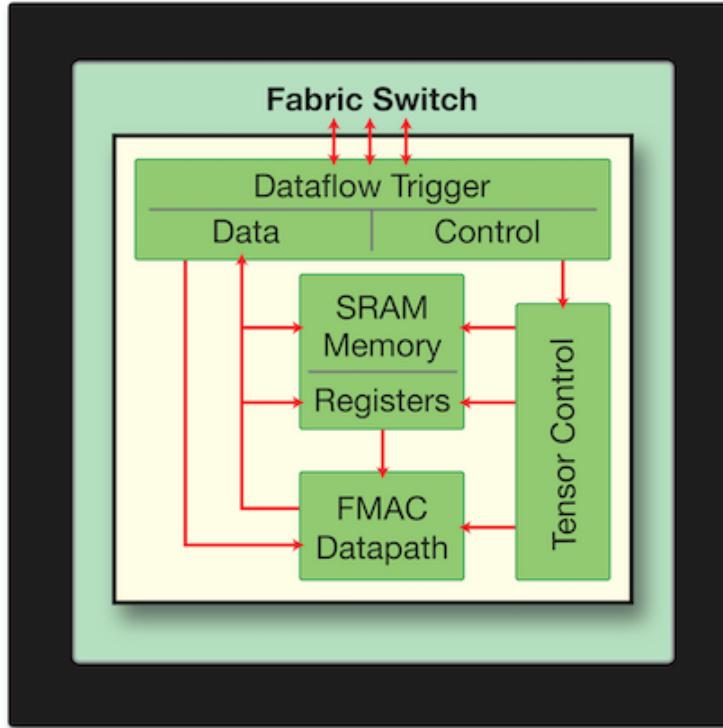
16nmの安定感と現役度



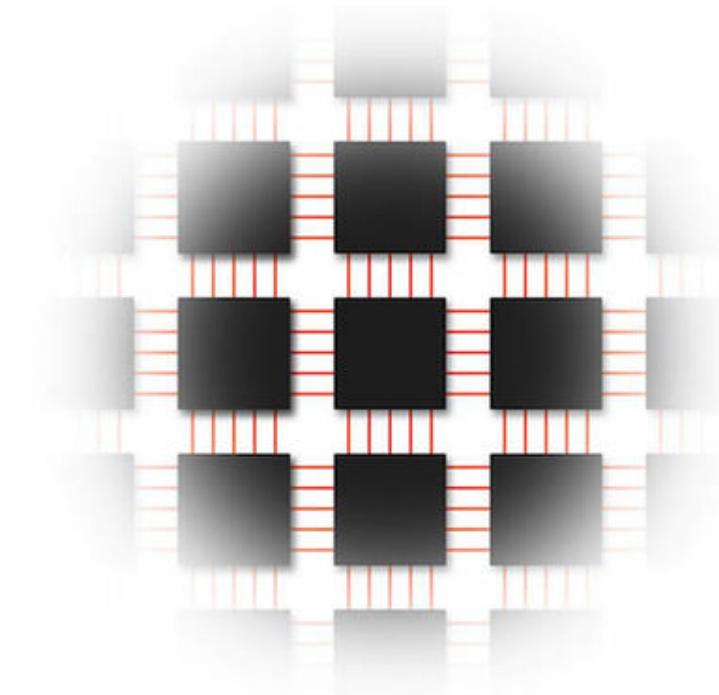


- 12inchウェファー丸ごと正方形に切り落とし
 $12 \times 7 = 84$ dies
- ダイ間接続
スクライブライン上に
メタル層 (TSMC!)
- I/O は両サイドから

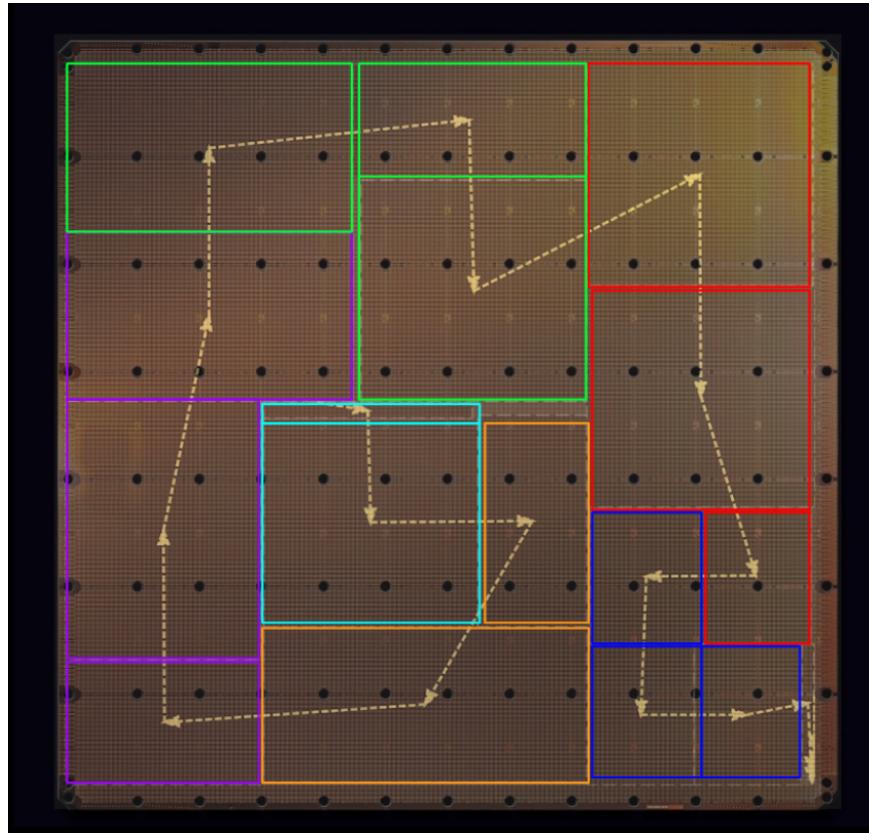
Processor Element



- ・独自 Dataflow Arch.
- ・40万PE
- ・局所メモリで 18GB (SRAM)
- ・2次元メッシュ接続
- ・アーキテクトは 3D Torus
+ wormhole routing な
ASIC の開発経験あり



Placement



- NNのプレーンをまるごと収める
- 隣接プレーン間でデータを引き渡し
- 特定ノード間では多数ホップになる可能性あり

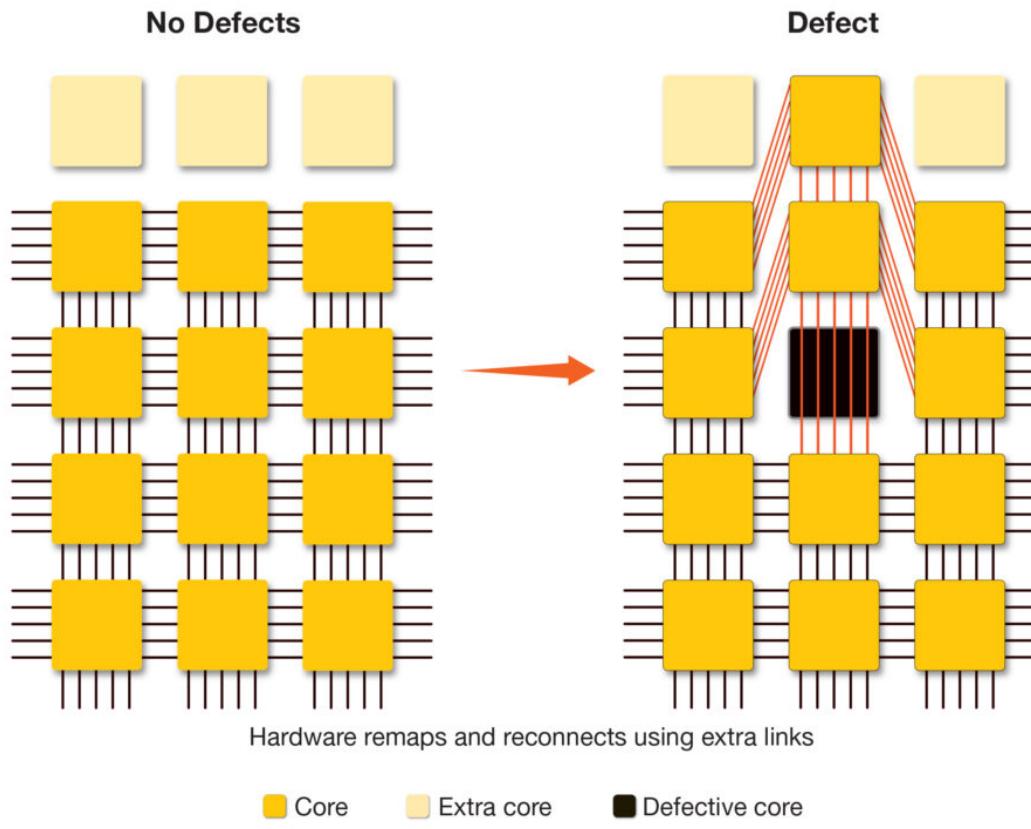
Dataflow = 非同期的通信

“通常のGPUベースのシステムでは学習時のコアの利用効率は30%程度であるが、WSEのコア利用効率はその2倍以上になるという”

高速ディープラーニングが可能なWSEをCerebrasはどうやって実現したのか, Hisa Ando, 2020/1/8, マイナビニュース
<https://news.mynavi.jp/article/20200108-951345/>

- 通信用バッファメモリ 1GB+

Defying Defects



- Defects

- 1.5%の余剰コア

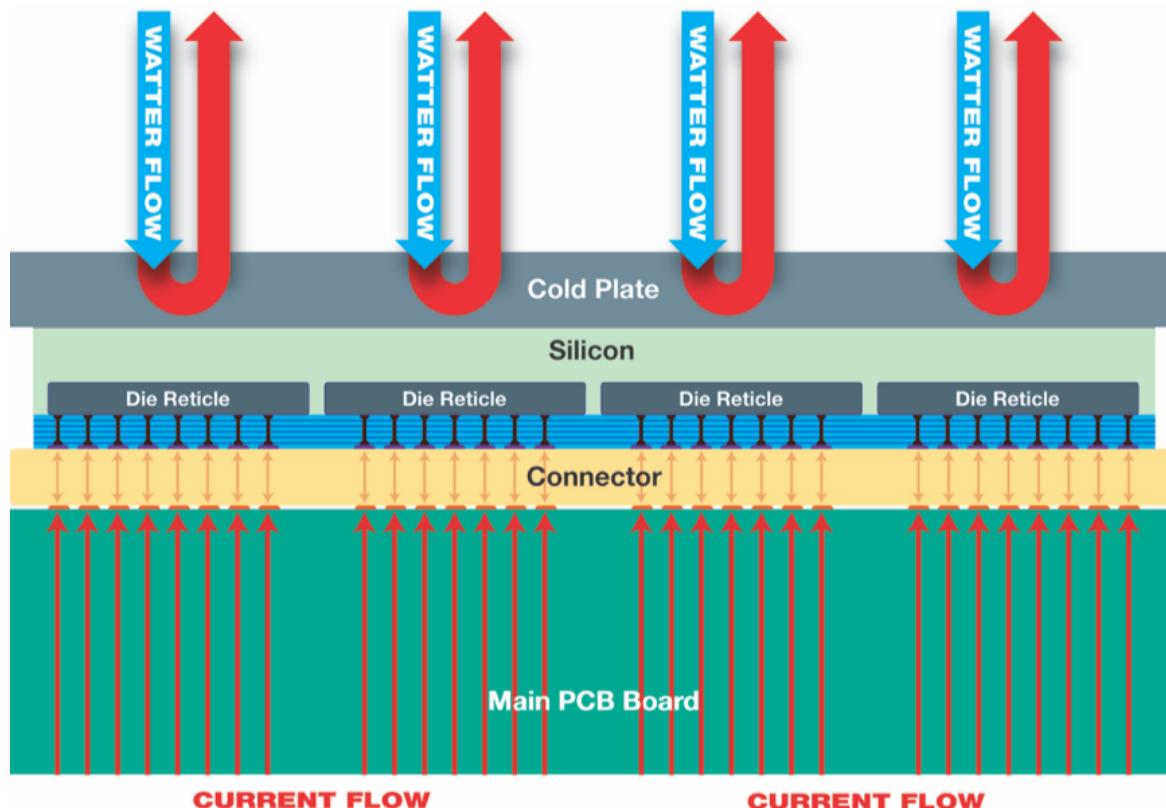
- 余剰配線で迂回

- ハードウェアとして実装

- 電源ショートのコアが一つあっても
40万のリークからすれば…

- TSMCからはノーテストで受け入れ

Power and Cooling



- 15KW power / 84 chips
200W 以下ではある
17Uサイズあるから…
- とは言え20cm四方に集中！
- 正面から大量ピンで電力供給
- 背面で水冷

Data I/O solution

Manage TCP network connections by local CPU

TCP network data does not go through CPU

TCP network data → FPGAs → WSE
WSE → FPGAs → TCP network data

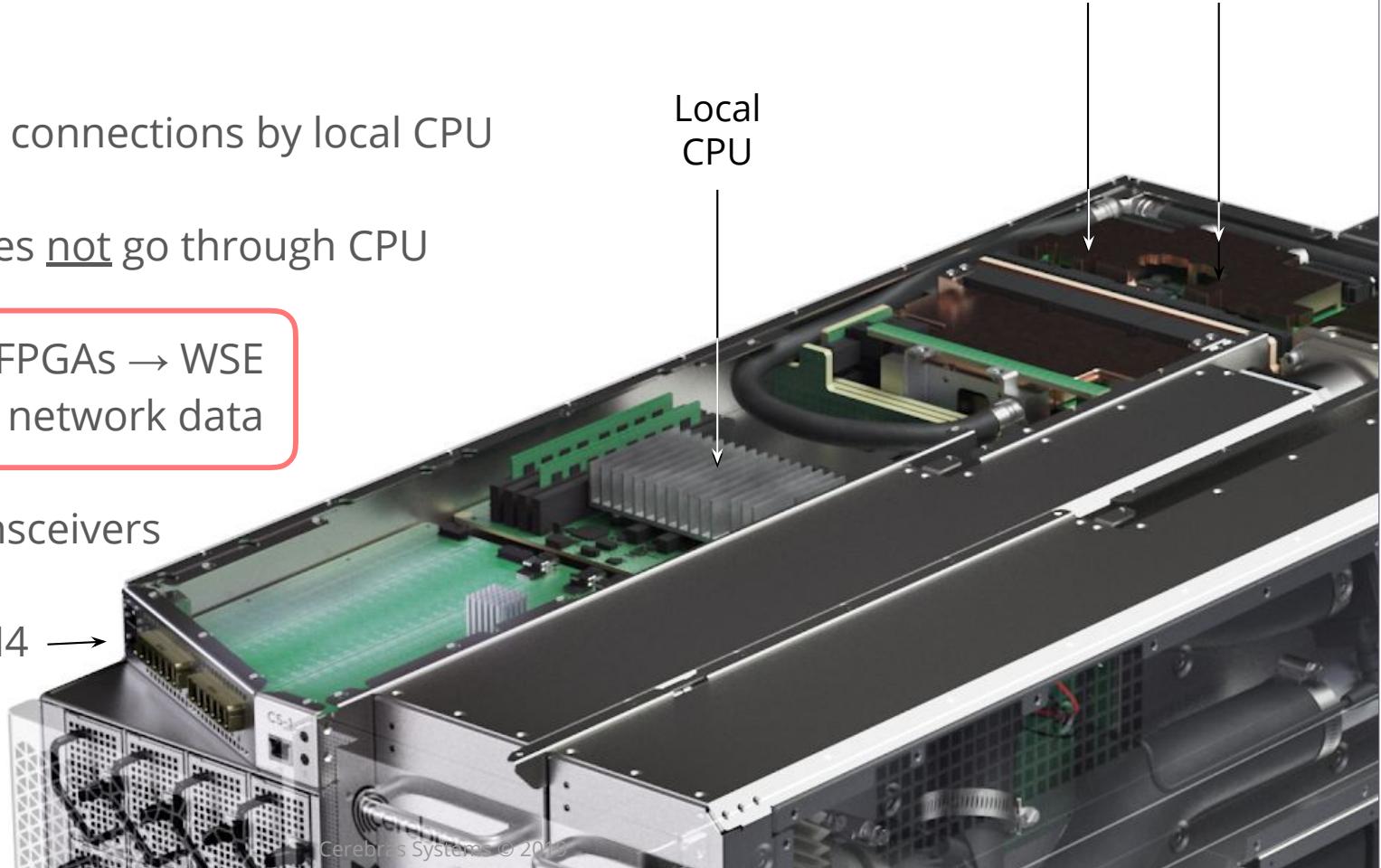
On-board optical transceivers

12x 100GbE MPO OM4 →

Local
CPU

トランシーバ

FPGAs XCVRs



Software Side

- Tensorflow, PyTorch など既存の学習フレームワークに対応
- 200名を超えたがほぼソフトウェア技術者
- 今後最適化などで更に性能が上がると想像

RISC-V：オープンな ISA（命令セットアーキテクチャ）

- Berkeley の研究から
- オープン・利用無料の ISA (32bit, 64bit, 128bit) 128bit は事実上予約のみ状態の慎重さ
=誤った予測で将来の負債を作らない
- チップやソフトウェアを誰もが自由に設計・製作・販売可能

RISC-V コアを Chisel で書いたり RTL の形で GitHub へ GO! など

- SiFive, Andes, Western Digital など実装（商用）多数あり
- JASA（組み込みシステム技術協会）に RISC-V WG 発足

標準組込みプラットフォームへ：SHコンサルティングの河崎さんら

2018, 2019 の RISC-V Summit, US での状況報告など

- ・ “**中国は現在、数百種類のRISC-V SoCや数十種類のコアの開発を進めているようだ**” <http://eetimes.jp/ee/articles/1812/10/news066.html> から抜粋
- ・ デンソー子会社のIPベンダNSITEXEがSmartDVのTileLink向け検証IPを採用
<https://www.eda-express.com/2019/12/risc-v-summit-2019risc-v.html> など参照
- ・ **地政学的リスク**が却って押している?
 - Samsung が 5G モデムと AI エッジ（画像処理）側に RISC-V を採用
 - Alibaba 傘下企業から 64bit core (Xuantie 910, 16cores, 2.5(!)GHz)
 - RISC-V Foundation 自体も本部をスイスに移す計画

身近なシリコン

- M5StickV

K210 (64bit dual core, FPU, NN engine, 400MHz, TSMC 28nm)

+ LCD, Camera, Gyro などなど付いて **3000円で大人気**

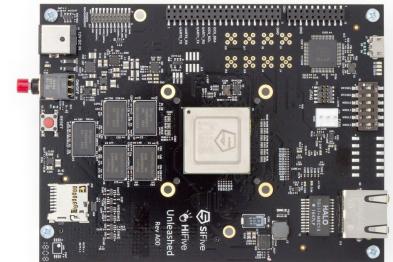
- HiFive Unleashed board - **\$999** with 8GB DDR4, 1GbE

SiFive FU540 chip - TSMC 28nm, 64bit Quad core, 1.5GHz+, MMU有で Linux 動作

Open Source RTL - <https://github.com/sifive/freedom>



税込単価	3,080 円
数量	<input type="text" value="1"/> カートに追加
在庫	多数 (即日出荷可能)



ハイエンド・コア：小規模システムだけではない

- **SiFive** (米国)
 - U8 Core IP : 64bit, 3命令 Superscalar / Out-of-Order, マルチコア対応, MMU あり
なお SiFive はコアだけで無く関連技術も多数開発
 - HBM2E+ : 7nm 検証済, 400Gbps (or ピンあたり3.2Gbps)
 - Shield : RISC-V の TEE (Trusted Execution Environment) 実装, Arm TrustZone 相当 (AIST (産業技術総合研究所) の須崎さんらも手掛けている)
- **Andes** (台湾)
 - NX27V : 64bit, 1.1GHz, Vector Processor Unit あり
- **Alibaba**
 - Xuantie 910 : 64bit, 16cores, Out of Order, 2.5(!)GHz, "for AI and 5G" << お決まり

拡張命令セットのアイディア

- ・ ベース ISA は超シンプル

整数レジスタ32本 (0番はゼロ固定) Embedded向け16本のRV32Eもある

load, store, and/or/xor, add, sub, compare, branch, jump, nop 程度

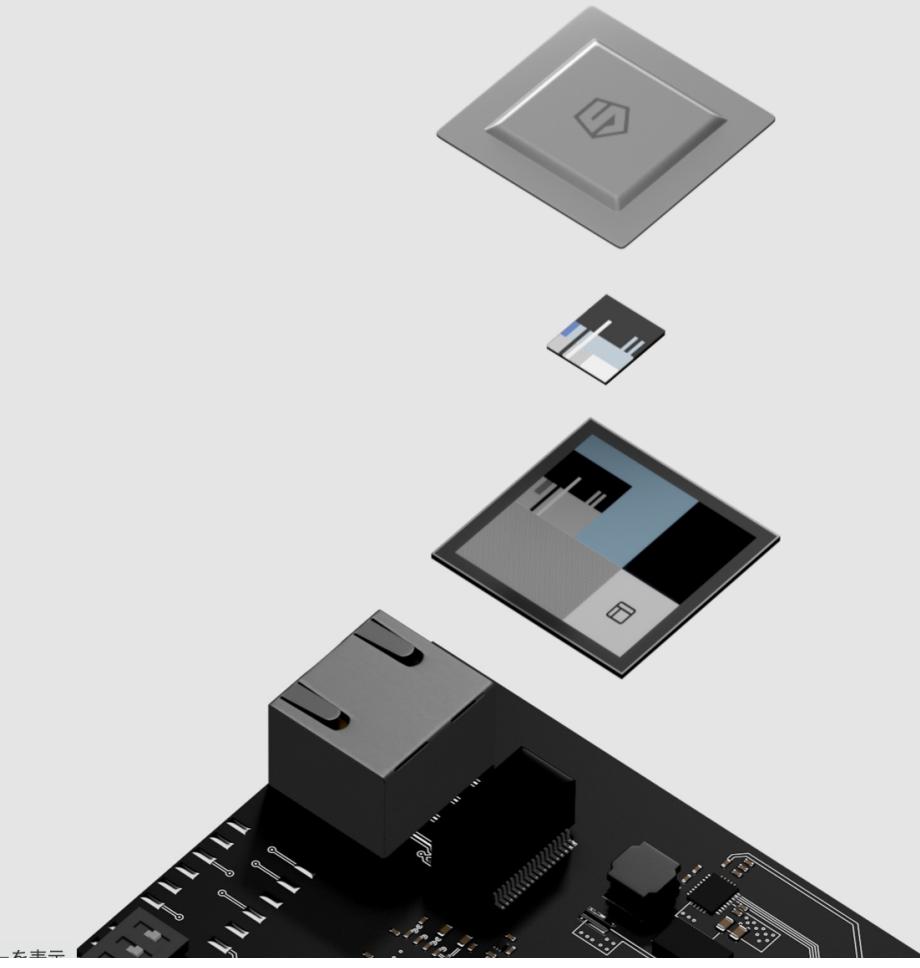
- ・ 多くの「拡張命令（オプション）」

Standard Extension : 一般的で互いに衝突しないように設計

→ 整数の乗除命令・アトミック命令・単・倍精度の浮動小数点命令すら拡張で

Non-Standard Extension : 特化 + 他 Extension との衝突を許容

(Standard Extension との conflict も許容)



Vastly customizable core IP.

Get best-in-class core IP developed by the inventors of RISC-V and customize it to your exact specifications.

[Design Core](#)

“WebでCore設計”

<https://www.sifive.com/>

Here's how it works.



01. Design

Customize a SiFive Standard Core to meet the precise needs of your product.



02. Evaluate

Simulate with fully-functional, synthesizable Verilog RTL.
Run your application code on an FPGA.



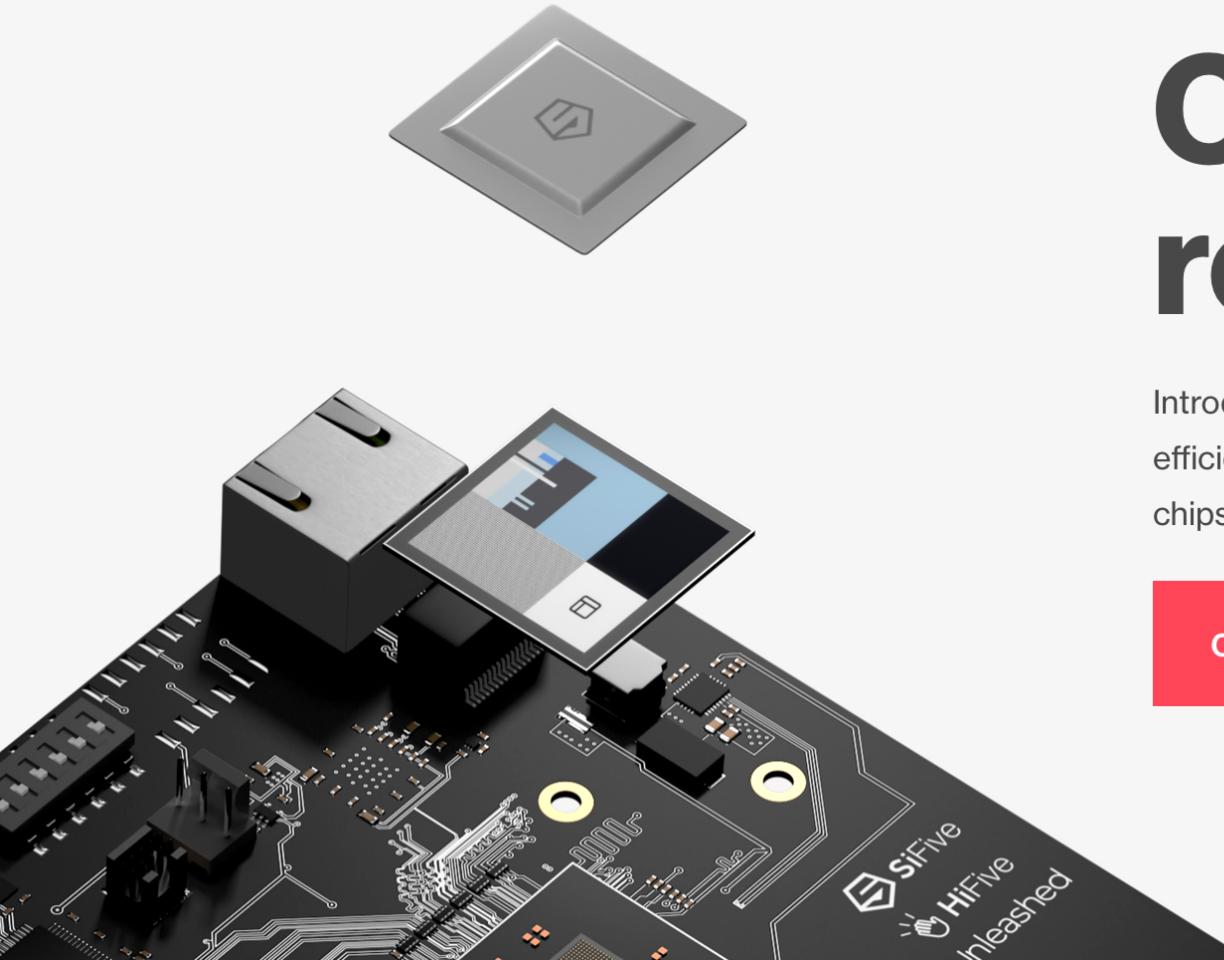
03. License

Licensing is straightforward and your custom RISC-V core IP is available within weeks.

ふむふむ

ここまでわかる

これはなかなか



Chip design, reimagined.

Introducing a fast, affordable, and efficient new way to design silicon chips.

Coming Soon

シリコンまで!!

<https://www.sifive.com/>

A new way of building custom silicon.



01. Design

Choose the template that suits your application. Create variations using a rich library of IP from our DesignShare Partners – or onboard your own IP. Save as many custom template designs as you like.



02. Prototype

Run your application code on virtualized chips. Iterate until you get the performance that's right for your product.

EDAツール提供

ここはまあわかる



03. Order

Receive sample chips within months – at a deep discount. With SiFive, there are no upfront IP costs until you need production quantities.

量産まで前払い不要

これはなかなか

これすごくない？

<https://www.sifive.com/>

Codasip Studio - ハード開発とソフト開発の連携

- CodAL : C/C++ ライクな言語で記述

命令セット定義と、マイクロアーキテクチャ定義の 2 レベルで書く

この時、パイプラインの構造なども書ける

- 命令セットを定義すると

コアを自動合成して RTL で吐き

SDK (Compiler, Debugger, etc.) もできる

- オレオレ拡張命令を作つて即デバッグ・テスト可能

- 標準RISC-Vコア（インオーダー）は提供される

アウトオブオーダーなども書ける（だろう）

顧客のために書く仕事もする（非オープンでやる）

BKコアテンプレートに

1. 命令を追加
2. レジスタ等を追加
3. パイプラインの変更
4. 等々

Your RISC-V CodAL Models

Codasip Studio

Your RISC-V HDK

Hardware Design Kit

- RTL models
- Synthesis scripts
- Verification models and simulators
- Virtual prototypes

Your RISC-V SDK

Software Design Kit

- Compiler
- Assembler
- Linker
- Debugger
- IDE etc

いまだきの Domain Specific Hardware

- Massive Parallel Processing : ノイマン型の苦手分野
- 迅速な Software 対応

既存の互換レイヤーへの対応でひとまずはOK

CS-1 : TensorFlow, PyTorch

RISC-V : Open Source のパワーを最大限利用

- **Ajail Hardware Development**

RISC-V : 振り向けくと増えてる

CS-1 : Brain Storming から **4.5 年**

「むかし、ハードウェア開発は Waterfall だった」と言われる (?)