

エネルギー効率を高めた 組合せ最適化問題向けアクセラレータ

2016年2月19日(金)
2016 PCクラスタワークショップ

○清水正明*1、吉村地尋*2、山岡雅直*2

*1 株式会社日立製作所 情報・通信システム社

*2 株式会社日立製作所 研究開発グループ 基礎研究センタ

発表等

日立ニューズリリース、2/23/2015

M. Yamaoka et al. 20k-spin Ising Chip for Combinatorial Optimization Problem with CMOS Annealing. ISSCC 2015 (February 2015, IEEE)

<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7063111>

C.Yoshimura et al, Uncertain behaviours of integrated circuits improve computational performance. 11/20/2015, Scientific Reports

<http://www.nature.com/articles/srep16213>