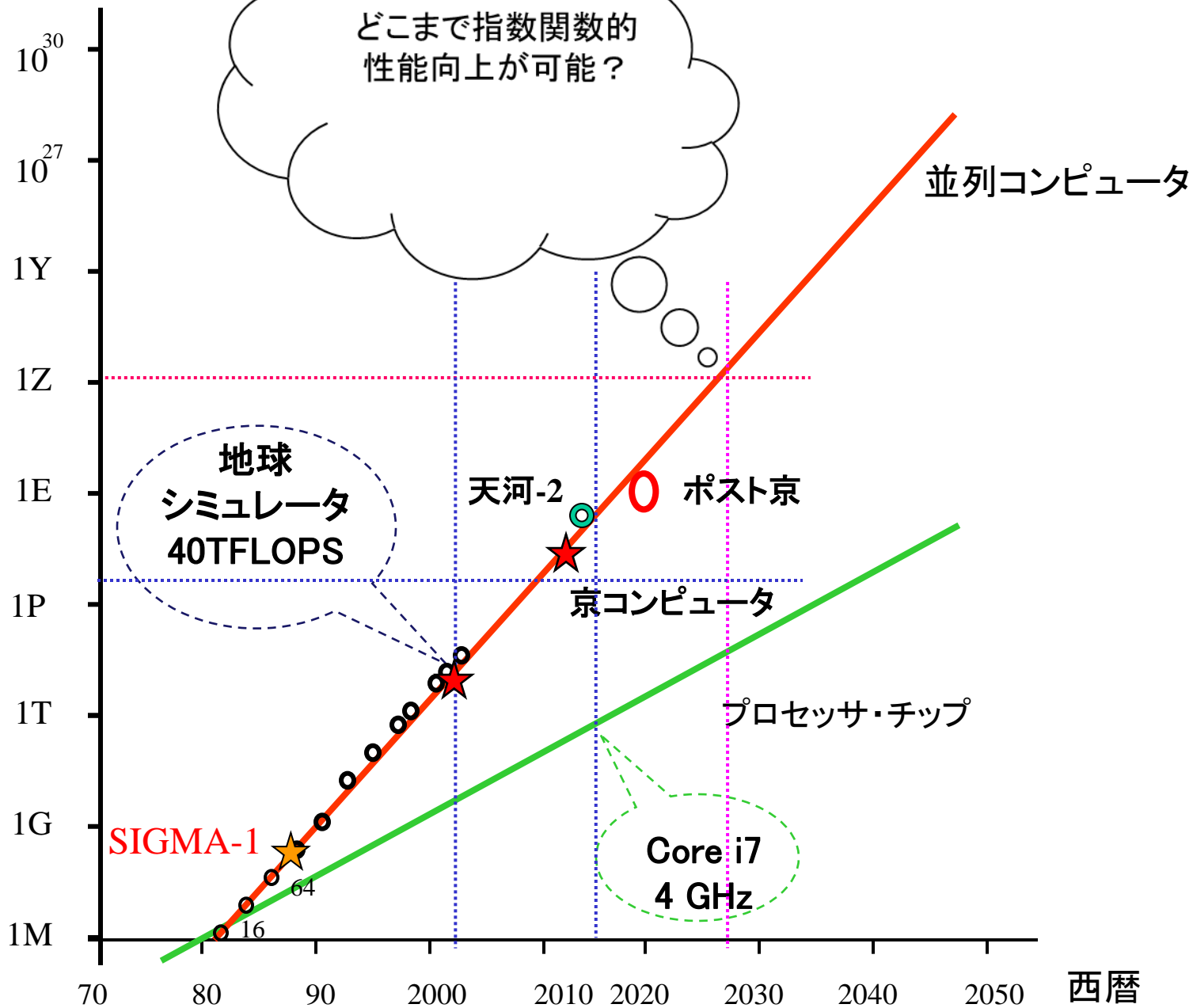


Post-ExaのHPC システムアーキテクチャ

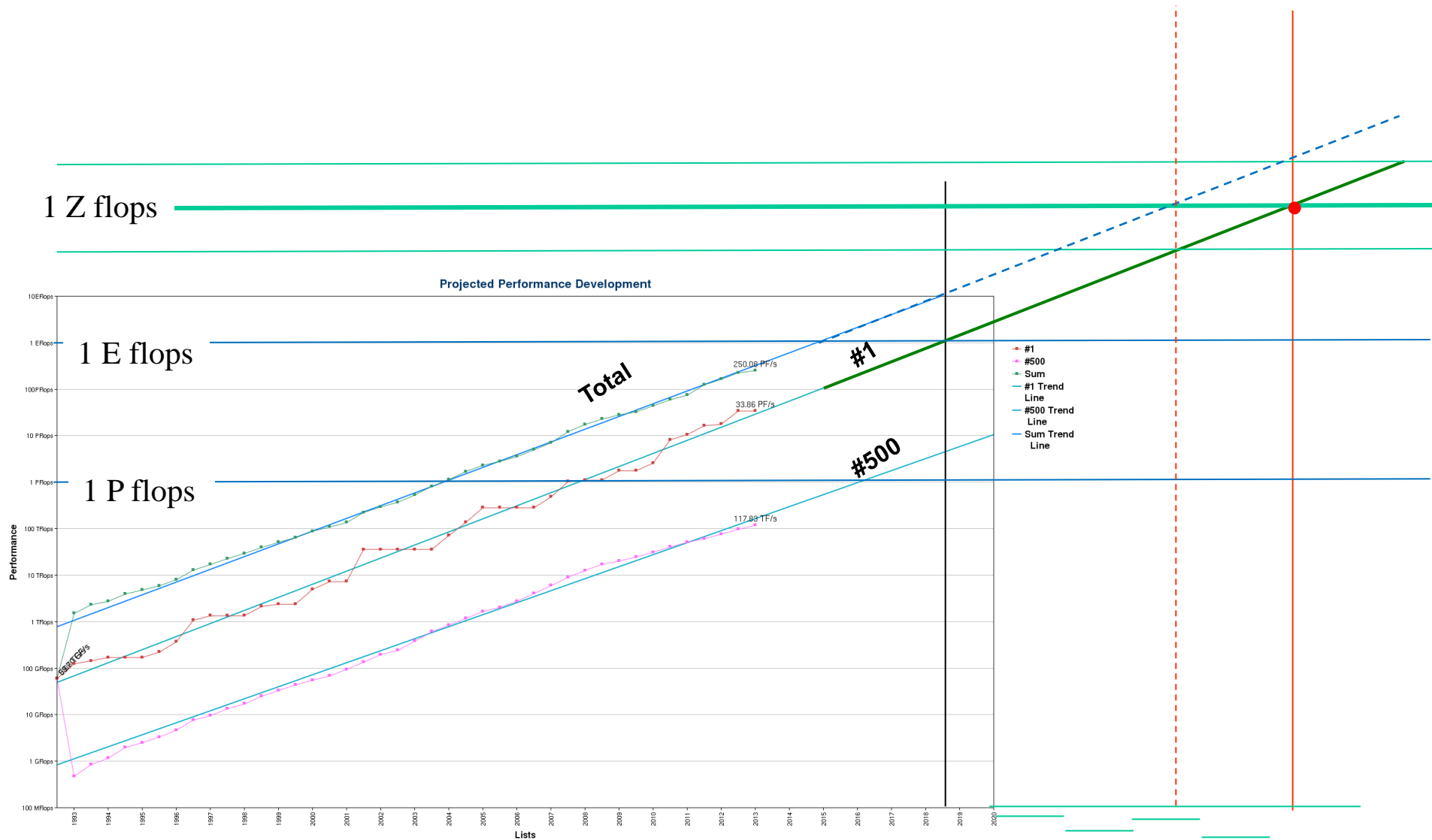
平木 敬

東京大学情報理工学系研究科

FLOPS



Top500の動向からの外挿



性能の外挿からは出来るに決まっている

噂されている限界

- 半導体技術の限界⇒ポストムーア？
- 消費電力限界⇒30MWで打ち止め？
- 大きさの限界⇒2000m²？
- コストの限界⇒1000億円？

- 並列性の限界？

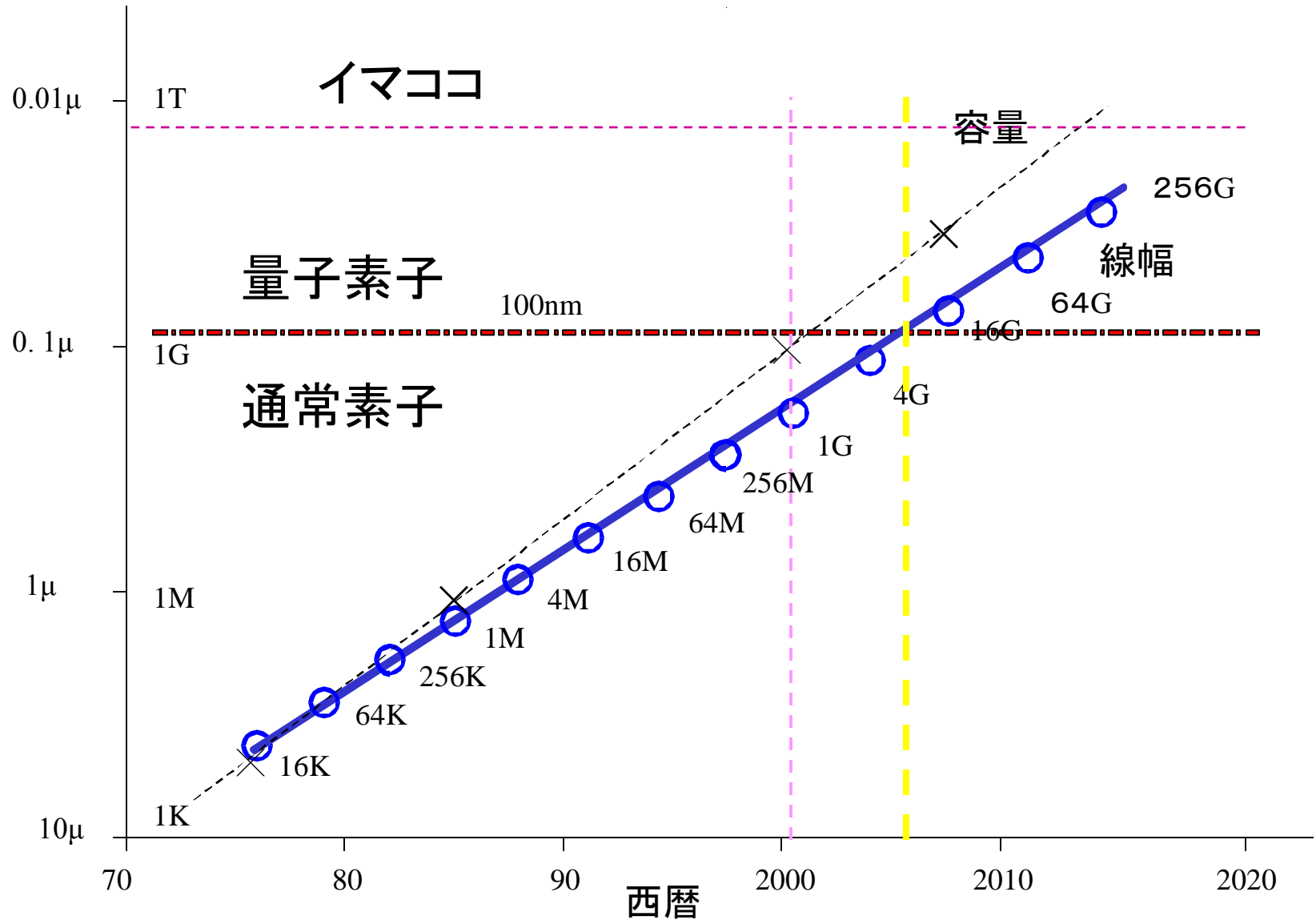
ポスト・ムーア？

- ムーアの法則

- 集積回路上のトランジスタ数は「18か月(=1.5年)ごとに倍になる」
- Pflops 110nm
- 10 Pflops 45nm
- Eflops 10nm
- Zflops 5nm? 1nm? 0.1nm? 0.01nm?

- 細密化の限界はすぐそこか？

メモリ素子技術(2000年製)



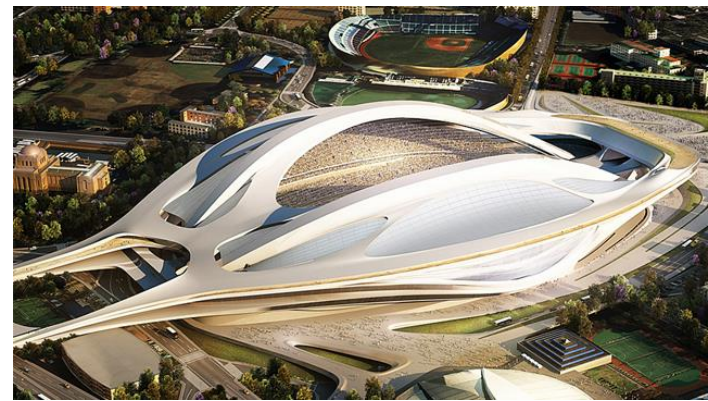
また物理屋さんにだまされるの？

- さすがに原子の大きさは下回れないか？
 - 単電子デバイス
 - 局所的な量子素子化で情報密度を上げる
 - **そこまで行くにはまだ距離がある**
- 横が駄目なら縦にも並べる
 - 積層技術 TSV, 電磁結合、光結合など
 - 20層、層の厚み $10\mu\text{m}$ までは近未来に出来る

この二つを合わせれば2025年までムーアの法則

電力の壁、設置面積の壁、コストの壁

- 30MWはもはや無理そう。では100MWは実現可能か
 - N700新幹線は17MW、リニア新幹線は35MW
- 2000㎡は無理そう。では、20000㎡は実現可能か
 - 東京ドームは46,000㎡
- 1000億円では無理。5000億円のスパコンは作れるか？
 - 新国立競技場は3000億円



何かが終わりそうと脅すのは予算獲得の常套手段

- 2025年までは今の方法で問題無し！
- Zflopsには達さない(2035年?)
- その先の技術が問題
 - 縦にも素子を積む
 - 層間結合技術（電磁波？光？）
 - 局所的量子素子
 - ウェハースケールでコストダウン
 - 超低消費電力CMOS設計

まとめに代えて 本当の問題はそんなところじゃない

- 脱(ILPに頼る汎用プロセッサ)
 - アクセラレータと呼ぶ時代は2025までに終わる
- 脱(戦艦大和主義)
 - 1Tbpsインターネットで結合が2025までに出来る
- 脱(数値計算至上主義)
 - 数値計算が更にマイナーな一分野になる